

DIALOG(R)File 351:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

010867664 **Image available**

WPI Acc No: 96-364615/199637

XRPX Acc No: N96-307403

Multiple electron emitter electron beam source mfg. method for image display - generates activation material at several electron emitting devices by dividing devices into several groups and sequentially applying voltage with several pulses to each group given number of times

Patent Assignee: CANON KK (CANO)

Inventor: SUZUKI H; SUZUKI N; YAMAGUCHI E

Number of Countries: 008 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 726591	A1	19960814	EP 96300202	A	19960111	H01J-009/02	199637 B
US 6019653	A	20000201	US 96584689	A	19960111	H01J-009/02	200013
JP 9134666	A	19970520	JP 95307291	A	19951127	H01J-009/02	199730
CN 1136671	A	19961127	CN 96100866	A	19960112	G03G-015/00	199805

Priority Applications (No Type Date): JP 95307291 A 19951127; JP 954025 A 19950113; JP 95230022 A 19950907

Cited Patents: EP 620581; EP 660357

Patent Details:

Patent	Kind	Ln	Pg	Filing Notes	Application	Patent
EP 726591	A1	E	55			

Designated States (Regional): DE FR GB IT NL

JP 9134666 A 30

Abstract (Basic): EP 726591 A

The electron beam source manufacturing method involves a controller (3) which generates activation material at several electron emitting devices on a substrate (4) by dividing the devices into several groups, and sequentially applying a voltage to each group a given number of times, via a line selector (2).

The applied voltage to each group has several voltage pulses, and during an interval between applying pulses to one group, pulses are applied to other groups. The electron emitting devices have a common wire, and the application of the voltage is made between both ends of the common wire.

ADVANTAGE - Increases emission current and efficiency of multiple emitter electron beam source, while carrying out mfg. process in short period. Provides uniform emission current characteristics among multiple electron emitters.

Dwg.1/34

Title Terms: MULTIPLE; ELECTRON; EMITTER; ELECTRON; BEAM; SOURCE; MANUFACTURE; METHOD; IMAGE; DISPLAY; GENERATE; ACTIVATE; MATERIAL; ELECTRON; EMIT; DEVICE; DIVIDE; DEVICE; GROUP; SEQUENCE; APPLY; VOLTAGE; PULSE; GROUP; NUMBER; TIME

Derwent Class: P84; P85; V05

International Patent Class (Main): G03G-015/00; H01J-009/02

International Patent Class (Additional): G09G-003/22; H01J-001/30; H01J-031/12

File Segment: EPI; EngPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-134666

(43) 公開日 平成9年(1997)5月20日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 9/02			H 0 1 J 9/02	B
G 0 9 G 3/22		4237-5H	G 0 9 G 3/22	
H 0 1 J 1/30			H 0 1 J 1/30	B
				Z
31/12			31/12	C
審査請求 未請求 請求項の数45 O L (全 30 頁)				

(21) 出願番号 特願平7-307291

(22) 出願日 平成7年(1995)11月27日

(31) 優先権主張番号 特願平7-4025

(32) 優先日 平7(1995)1月13日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平7-230022

(32) 優先日 平7(1995)9月7日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 鈴木 朝岳

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 鱈 英俊

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 山口 英司

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

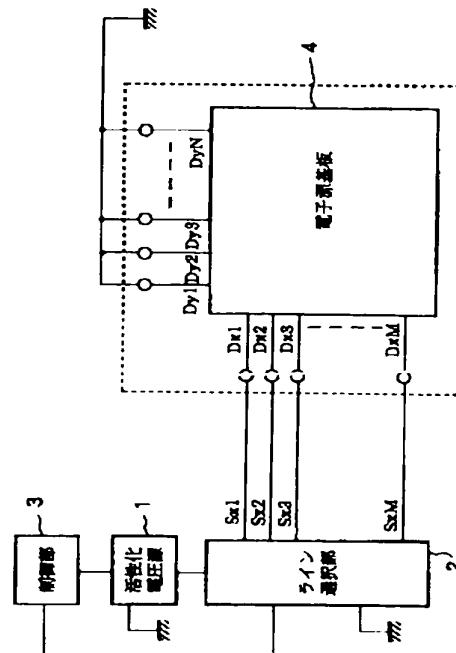
(74) 代理人 弁理士 大塚 康徳 (外1名)

(54) 【発明の名称】 電子源及び画像形成装置の製造方法、並びに電子源の活性化処理方法

(57) 【要約】

【課題】 複数の電子放出素子を備える電子源の放出電流の増大を図る。

【解決手段】 ライン選択部で1つのラインを選択し、そのラインに対して活性化電圧パルスを印加する。そして、他のラインについても順次選択して同様に繰り返す。



【特許請求の範囲】

【請求項1】 複数の電子放出素子を有する電子源の製造方法において、

複数の電子放出素子を複数のグループに分け、各グループごとに順次電圧印加を行ない、前記複数の電子放出素子に活性化物質を付与する活性化工程を有することを特徴とする電子源の製造方法。

【請求項2】 前記各グループごとに順次行われる電圧印加を、複数回繰り返すことを特徴とする請求項1に記載の電子源の製造方法。

【請求項3】 前記各グループに印加される電圧は、複数の電圧パルスよりなり、該複数の電圧パルス間に、別のグループへの電圧パルスの印加がなされることを特徴とする請求項1に記載の電子源の製造方法。

【請求項4】 前記各グループは、複数の電子放出素子が共通配線されており、前記電圧印加は、該共通配線の両端から行われることを特徴とする請求項1に記載の電子源の製造方法。

【請求項5】 前記各グループは、複数の電子放出素子が共通配線されており、前記電圧印加は、該共通配線の片端から行われることを特徴とする請求項1に記載の電子源の製造方法。

【請求項6】 前記複数の電子放出素子は、複数の行方向配線と複数の列方向配線とで、マトリクス状に結線されており、前記複数の電子放出素子への前記電圧印加は、前記各行方向配線ごとに順次行われることを特徴とする請求項1に記載の電子源の製造方法。

【請求項7】 前記各行方向配線ごとに順次行われる電圧印加を、複数回繰り返すことを特徴とする請求項6に記載の電子源の製造方法。

【請求項8】 前記各行方向配線に印加される電圧は、複数の電圧パルスよりなり、該複数の電圧パルス間に、別の行方向配線への電圧パルスの印加がなされることを特徴とする請求項6に記載の電子源の製造方法。

【請求項9】 前記電圧印加は、該行方向配線の両端から行われることを特徴とする請求項6に記載の電子源の製造方法。

【請求項10】 前記電圧印加は、該行方向配線の片端から行われることを特徴とする請求項6に記載の電子源の製造方法。

【請求項11】 前記複数の電子放出素子は、複数の行方向配線と複数の列方向配線とで、マトリクス状に結線されており、前記複数の電子放出素子への前記電圧印加は、前記各列方向配線毎に順次行われることを特徴とする請求項1に記載の電子源の製造方法。

【請求項12】 前記各列方向配線ごとに順次行われる電圧印加を、複数回繰り返すことを特徴とする請求項10に記載の電子源の製造方法。

【請求項13】 前記各列方向配線に印加される電圧は、複数の電圧パルスよりなり、該複数の電圧パルス間

に、別の列方向配線への電圧パルスの印加がなされることを特徴とする請求項10に記載の電子源の製造方法。

【請求項14】 前記電圧印加は、該列方向配線の片端から行われることを特徴とする請求項10に記載の電子源の製造方法。

【請求項15】 前記活性化工程は、前記複数の電子放出素子を複数の第1のグループに分け、各第1のグループごとに順次電圧印加を行ない、前記複数の電子放出素子に活性化物質を付与する第1の活性化工程と、前記複数の電子放出素子を複数の別の第2のグループに分け、各第2のグループごとに順次電圧印加を行ない、前記複数の電子放出素子に活性化物質を付与する第2の活性化工程とを有することを特徴とする請求項1に記載の電子源の製造方法。

【請求項16】 前記活性化工程は、前記電子放出素子の放出電流を検知しながら行われることを特徴とする請求項15に記載の電子源の製造方法。

【請求項17】 前記活性化工程は、前記電子放出素子の放出電流の飽和を検出して完了することを特徴とする請求項15に記載の電子源の製造方法。

【請求項18】 前記第1のグループが有する電子放出素子の個数は、前記第2のグループが有する電子放出素子の個数よりも多く、前記第1の活性化工程の後に、前記第2の活性化工程が行われることを特徴とする請求項15に記載の電子源の製造方法。

【請求項19】 前記第1及び第2の活性化工程の各々の工程において、前記各グループごとに順次行われる電圧印加を、複数回繰り返すことを特徴とする請求項15に記載の電子源の製造方法。

【請求項20】 前記第1及び第2の活性化工程の各々の工程において、前記各グループに印加される電圧は、複数の電圧パルスよりなり、該複数の電圧パルスの間に、別のグループへの電圧パルスの印加がなされることを特徴とする請求項15に記載の電子源の製造方法。

【請求項21】 前記第1及び第2の各グループは、複数の電子放出素子が共通配線されており、前記第1及び第2の活性化工程のうちのいずれかの工程における前記電圧印加は、該共通配線の両端から行われることを特徴とする請求項15に記載の電子源の製造方法。

【請求項22】 前記第1及び第2の各グループは、複数の電子放出素子が共通配線されており、前記第1及び第2の活性化工程のうちのいずれかの工程における前記電圧印加は、該共通配線の片端から行われることを特徴とする請求項15に記載の電子源の製造方法。

【請求項23】 前記複数の電子放出素子は、複数の行方向配線と複数の列方向配線とで、マトリクス状に結線されており、前記第1活性化工程における前記電圧印加は、前記各行配線ごとに順次行われ、前記第2活性化工程における前記電圧印加は、前記各列配線ごとに順次行われることを特徴とする請求項15に記載の電子源の製

造方法。

【請求項24】 前記活性化工程は、前記電子放出素子の放出電流を検知しながら行われることを特徴とする請求項23に記載の電子源の製造方法。

【請求項25】 前記活性化工程は、前記電子放出素子の放出電流の飽和を検知して完了することを特徴とする請求項23に記載の電子源の製造方法。

【請求項26】 前記列方向配線は、前記行方向配線よりも配線数が多く、前記第1の活性化工程の後に、前記第2の活性化工程が行われることを特徴とする請求項23に記載の電子源の製造方法。

【請求項27】 前記第1及び第2の活性化工程の各々の工程において、前記各行ごと、または列ごとに順次行われる電圧印加を複数回繰り返すことを特徴とする請求項23に記載の電子源の製造方法。

【請求項28】 前記第1及び第2の活性化工程の各々の工程において、前記各行または列に印加される電圧は、複数の電圧パルスよりなり、該複数の電圧パルス間に、別の行または別の列への電圧パルスの印加がなされることを特徴とする請求項23に記載の電子源の製造方法。

【請求項29】 前記第1及び第2の活性化工程のうちのいずれかの工程における前記電圧印加は、該行方向配線または列方向配線の両端から行われることを特徴とする請求項23に記載の電子源の製造方法。

【請求項30】 前記第1及び第2の活性化工程のうちのいずれかの工程における前記電圧印加は、該行方向配線または列方向配線の片端から行われることを特徴とする請求項23に記載の電子源の製造方法。

【請求項31】 複数の電子放出素子を有する電子源と、該電子源からの電子線の照射により画像を形成する画像形成部材とを備える画像形成装置の製造方法において、前記電子源が、請求項1～30のいずれかの方法にて製造されることを特徴とする画像形成装置の製造方法。

【請求項32】 前記画像形成部材は、蛍光体であることを特徴とする請求項31に記載の画像形成装置の製造方法。

【請求項33】 複数の電子放出素子を有する電子源の活性化処理方法において、前記複数の電子放出素子を複数のグループに分け、各グループごとに順次電圧印加を行ない、前記複数の電子放出素子に活性化物質を付与することを特徴とする電子源の活性化処理方法。

【請求項34】 前記各グループごとに順次行われる電圧印加を、複数回繰り返すことを特徴とする請求項33に記載の電子源の活性化処理方法。

【請求項35】 前記各グループに印加される電圧は、複数の電圧パルスよりなり、該複数の電圧パルス間に、別のグループへの電圧パルスの印加がなされることを特徴とする請求項33に記載の電子源の活性化処理方法。

【請求項36】 前記各グループは、複数の電子放出素子が共通配線されており、前記電圧印加は、該共通配線の両端から行われることを特徴とする請求項33に記載の電子源の活性化処理方法。

【請求項37】 前記各グループは、複数の電子放出素子が共通配線されており、前記電圧印加は、該共通配線の片方から行われることを特徴とする請求項33に記載の電子源の活性化処理方法。

【請求項38】 前記電圧印加は、前記複数の電子放出素子を複数の第1グループに分け、各第1のグループごとに順次電圧印加を行う第1の電圧印加工程と、前記複数の電子放出素子を複数の別の第2のグループに分け、各第2のグループごとに順次電圧印加を行う第2の電圧印加工程により行われることを特徴とする請求項33に記載の電子源の活性化処理方法。

【請求項39】 前記電圧印加は、前記電子放出素子の放出電流を検知しながら行われることを特徴とする請求項38に記載の電子源の活性化処理方法。

【請求項40】 前記電圧印加は、前記電子放出素子の放出電流の飽和を検出して完了することを特徴とする請求項38に記載の電子源の活性化処理方法。

【請求項41】 前記第1のグループが有する電子放出素子の個数は、前記第2のグループが有する電子放出素子の個数よりも多く、前記第1の電圧印加工程の後に、前記第2の電圧印加工程が行われることを特徴とする請求項38に記載の電子源の活性化処理方法。

【請求項42】 前記第1及び第2の電圧印加工程の各々の工程において、前記各グループごとに順次行われる電圧印加を、複数回繰り返すことを特徴とする請求項38に記載の電子源の活性化処理方法。

【請求項43】 前記第1及び第2の電圧印加工程の各々の工程において、前記各グループに印加される電圧は、複数の電圧パルスよりなり、該複数の電圧パルス間に、別のグループへの電圧パルスの印加がなされることを特徴とする請求項38に記載の電子源の活性化処理方法。

【請求項44】 前記第1及び第2の各グループは、複数の電子放出素子が共通配線されており、前記第1及び第2の電圧印加工程のうちのいずれかの工程における前記電圧印加は、該共通配線の両端から行われることを特徴とする請求項38に記載の電子源の活性化処理方法。

【請求項45】 前記第1及び第2の各グループは、複数の電子放出素子が共通配線されており、前記第1及び第2の電圧印加工程のうちのいずれかの工程における前記電圧印加は、該共通配線の片端から行われることを特徴とする請求項38に記載の電子源の活性化処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の電子放出素子を備える電子源及び該電子源を用いた画像形成装置の

製造方法と、該電子源の活性化処理方法に関する。

【0002】

【従来の技術】従来より、電子放出素子として、熱陰極素子と冷陰極素子の2種類が知られている。このうち冷陰極素子では、たとえば電界電子放出型素子（以下FE型素子と称する）や、金属／絶縁層／金属型電子放出素子（以下MIM型素子と称する）や、表面伝導型電子放出素子などが知られている。

【0003】FE型素子の例としては、例えば、W.P.Dyke & W.W.Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956) や、あるいは、C.A.Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) などが知られている。

【0004】また、MIM型素子の例としては、例えば、C.A.Mead, "Operation of tunnel-emission Device", J. Appl. Phys., 32, 646 (1961) などが知られている。

【0005】また、表面伝導型電子放出素子としては、たとえば、M.I.Elinson, Radio Eng. Electron Phys., 10, 1290, (1965) や、後述する他の例が知られている。

【0006】表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等によるSnO₂薄膜を用いたものの他に、Au薄膜によるものや、In₂O₃/SnO₂薄膜によるものや、カーボン薄膜によるものなどがあり、それぞれ、G.Dittler: "Thin Solid Films", 9, 317 (1972), M.Hartwell and C.G.Fonstad: "IEEE Trans. ED Conf.", 519 (1975), 荒木久 他: 真空、第26巻、第1号、22 (1983) により報告されている。

【0007】これらの表面伝導型電子放出素子の素子構成の典型的な例として、図34に上述したM.Hartwellらによる表面伝導型電子放出素子の平面図を示す。図34において3001は基板、3004はスパッタで形成された金属酸化物よりなる導電性薄膜である。導電性薄膜3004は図示のようにH字形の平面形状に形成されている。該導電性薄膜3004に後述する通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部3005が形成される。図中の間隔Lは、0.5〜1mm、幅Wは0.1mmに設定されている。尚、便宜上、図34において電子放出部3005は導電性薄膜3004のほぼ中央に矩形状の形状により示したが、これは模式的なものであり、実際の電子放出部3005の位置や形状を忠実に表現しているわけではない。

【0008】M.Hartwellらによる素子をはじめとして、上述した表面伝導型電子放出素子においては、電子放出を行う前に導電性薄膜3004に通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部3005を形成するのが一般的であった。即ち、通電フォーミン

グとは、前記導電性薄膜3004の両端に一定の直流電圧、もしくは、例えば1V/分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜3004を局部的に破壊もしくは変形もしくは変質せしめ、電氣的に高抵抗な状態の電子放出部3005を形成することである。尚、局部的に破壊もしくは変形もしくは変質した導電性薄膜3004の一部には、亀裂が発生する。前記通電フォーミング後に導電性薄膜3004に適宜の電圧を印加した場合には、前記亀裂付近において電子放出が行われる。

【0009】上述した表面伝導型電子放出素子は、構造が単純で製造も容易であることから、広い面積にわたって多数の素子を形成できるという利点がある。そこで、例えば本出願人による特開昭64-31332において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

【0010】また、表面伝導型電子放出素子の応用については、たとえば、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源、等が研究されている。

【0011】特に、画像表示装置への応用としては、たとえば本出願人によるUSP 5,066,883や特開平2-257551において開示されているように、表面伝導型電子放出素子と電子ビームの照射により発光する蛍光体とを組み合わせる用いた画像表示装置が研究されている。表面伝導型電子放出素子と蛍光体とを組み合わせる用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。たとえば、近年普及してきた液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や、視野角が広い点において優れている。

【0012】

【発明が解決しようとする課題】発明者らは、上記従来例に示したものをはじめとして、さまざまな材料、製法、構造の表面伝導型電子放出素子を試みてきた。更に、多数の表面伝導型電子放出素子を配列した電子源、ならびにこの電子源を応用した画像表示装置についても研究を行ってきた。

【0013】本発明者らは、例えば図31に示す電氣的な配線方法による電子源についても試みてきた。即ち、表面伝導型電子放出素子を2次元的に多数個配列し、これらの素子を図示のようにマトリクス状に配線することにより、電子源を構成する。図31において、4001は表面伝導型電子放出素子を模式的に示したものであり、4002は行方向配線、4003は列方向配線である。行方向配線4002および列方向配線4003は、実際には有限の電気抵抗を有するものであるが、図31においてはこの電気抵抗が配線抵抗4004および4005として示されている。図31に示す様な配線方法を、単純マトリクス配線と称する。

【0014】尚、図31においては便宜上、6×6のマ

トリクスにより電子源を示しているが、マトリクスの規模はもちろんこれに限定されるものではなく、例えば画像表示装置用の電子源の場合には、所望の画像表示を行うのに足りるだけの素子を配列し、配線するものである。

【0015】図31に示すように複数の表面伝導型電子放出素子を単純マトリクス配線した電子源においては、所望の電子ビームを出力させるため、行方向配線4002および列方向配線4003に適宜の電気信号を印加する。例えば、マトリクス中の任意の1行の表面伝導型電子放出素子を駆動するには、選択する行の行方向配線4002には選択電圧 V_s を印加し、同時に非選択の行の行方向配線4002には非選択電圧 V_{ns} を印加する。これと同期して、列方向配線4003に電子ビームを出力するための駆動電圧 V_e を印加する。この方法によれば、配線抵抗4004および4005による電圧降下を無視すれば、選択する行の表面伝導型電子放出素子には、 $V_e - V_s$ の電圧が印加される。また、非選択行の表面伝導型電子放出素子には、 $V_e - V_{ns}$ の電圧が印加される。 V_e 、 V_s 、 V_{ns} を適宜の大きさの電圧にすれば、選択する行の表面伝導型電子放出素子だけから所望の強度の電子ビームが出力されるはずであり、また列方向配線の各々に異なる駆動電圧 V_e を印加すれば、選択する行の素子の各々から異なる強度の電子ビームが出力されるはずである。また、表面伝導型電子放出素子の応答速度は高速であるため、駆動電圧 V_e を印加する時間の長さを変えれば、電子ビームが出力される時間の長さも変えることができるはずである。

【0016】従って、複数の表面伝導型電子放出素子を単純マトリクス配線した電子源にはいろいろな応用可能性があり、例えば画像情報に応じた電気信号を適宜印加すれば、画像表示装置用の電子源とし好適に用いることができる。

【0017】しかしながら、複数の表面伝導型電子放出素子を単純マトリクス配線した電子源には、実際には以下に述べるような問題が発生していた。

【0018】つまり、前記電子源、画像形成装置などに用いられる表面伝導型電子放出素子については、更なる放出電流の増大、及びその効率の向上が望まれてきた。尚、ここで「効率」とは、個々の表面伝導型電子放出素子の素子電極に電圧を印加したとき流れる電流（以降素子電流 I_f と称する）に対する真空中に放出される電流（以降電子放出電流 I_e と称する）との電流比をさす。

【0019】

【課題を解決するための手段】本発明の目的は、複数の電子放出素子を備える電子源の放出電流の増大を図る処理方法を提供することである。

【0020】また、本発明の目的は、短時間に行い得る上記処理方法を提供することである。

【0021】また、本発明の目的は、該複数の電子放出

素子間で、放出電流特性が均一となる上記処理方法を提供することである。

【0022】以上の目的を達成する本発明の例えば電子源の製造方法は以下の工程を備える。すなわち、複数の電子放出素子を有する電子源の製造方法において、複数の電子放出素子を複数のグループに分け、各グループごとに順次電圧印加を行ない、前記複数の電子放出素子に活性化物質を付与する活性化工程を有する。

【0023】

【発明の実施の形態】本発明者らは前述の放出電流 I_e の増大に関し、鋭意検討、実験を行なった結果、活性化処理と呼ぶ新たな工程（詳細は後述する）を付加し、電子放出部の近傍にグラファイト、またはアモルファスカーボン、あるいはそれらの混合物からなる炭素を主成分とする皮膜を制御して被覆することにより、真空中での放出電流 I_e の増大が可能となることを知見した。

【0024】活性化処理という工程は、フォーミングが終了した素子に施す処理であり、10のマイナス4乗～10のマイナス5乗Torr程度の真空度で、定電圧のパルスの印加を繰り返す事により、真空中に存在する有機物質から上述の炭素あるいは炭素化合物を堆積することにより、放出電流 I_e を著しく増加させる処理である。活性化時のパルス電圧波形の例を図27に、活性化時の I_f 、 I_e の時間変化の例を図28に示す。

【0025】該工程を付加することで、表面伝導型電子放出素子の放出電流 I_e の増大が計られたが、これを複数の表面伝導型電子放出素子が、単純マトリクス配線された電子源の製造方法に適用した場合には、更に以下のような不都合を生じた。

【0026】たとえば、表面伝導型放出素子をN行M列にわたりマトリクス状に配列した電子源に前記通電活性化処理を行った場合、

a. 全素子の処理を完了するまでにかなりの長時間を要する。

【0027】b. 処理後の各表面伝導型放出素子の I_e 出力特性に不均一が生ずる。

【0028】この両者を同時に解決するのは困難であった。

【0029】上記不都合を生じる第1の問題は、例えば、N行×M列に複数の表面伝導型電子放出素子を単純マトリクス配線した電子源を製造する場合、該活性化処理は1～N行までのラインを順番に活性化していくことになるが、1ライン当たり30分の活性化時間を要するとすると、全体では30×N分の時間がかかることになる。この単純マトリクス配線における活性化の際の等価回路図を、図29に示す。平板型ディスプレイなどの画像形成装置への応用においてはN及びMの数が数百～数千にも達することになり、従って莫大な活性化時間が必要となり、装置の安価な製作が困難になる。また、長時間においては前述した真空中の有機物質の量も変化する

ことになるため、全ラインを一定の条件で活性化することが困難になり、均一な電子放出特性を得ることができない。

【0030】このような問題は図30に示す梯子状に複数の表面伝導型電子放出素子を配線したもの（以降梯子型配線とよぶ）についても同様で、行数分の活性化時間が必要になり、1行ずつ活性化を行うと、各行毎に電子放出特性にばらつきが生じてしまう。

【0031】又、第2の問題は、図31に示したマルチビーム電子源を行単位で通電活性化処理を行なう場合、即ち、行方向配線4002の内1つを選択したときを考える。このとき、行方向及び列方向配線自体の配線抵抗4004及び4005があるために、そこでの電圧降下を生じる。一方、列方向配線4003から注入されたライン上のそれぞれの表面伝導型放出素子を流れた駆動電流は、選択した行方向配線4002を通して流れる。したがって、特に行方向配線4002における電圧降下が無視できない大きさとなり、選択した行方向配線4002に接続された表面伝導型放出素子に印加される電圧に分布を生じてしまい、通電活性化処理後の電子放出特性に差が生じて均一な電子放出が得られないという問題が生じる。

【0032】また、通電活性化処理がある程度進んだ段階では、後述するように、表面伝導型放出素子の抵抗成分は、素子の両端に印加される電圧により2桁程度その大きさが変わる。即ち、単純マトリクス構造における半選択駆動を受けている状態では選択駆動を受けている場合に比べ抵抗成分が大きい値を示す。従って、半選択駆動を受けている素子は解放状態と見なすことができる。そこで、図31を参考にM行N列の表面伝導型放出素子を有するマルチビーム電子源の等価回路は、選択駆動しているライン上の素子のみを用いた図32の等価回路で表すことができる。同図において、配線抵抗4006はそれぞれの列方向配線4003の駆動端から駆動素子までの累積抵抗を表す。各列方向配線4003をとり、それぞれの素子に流れた駆動電流は、行方向配線4002に合流して流れる。従って、行方向配線4002の配線抵抗4004による電圧降下を生じ、素子に印加される電圧は図33に示したようになる。この結果、各素子に印加される活性化電圧に差が生じ、各素子の電子放出素子特性に差が生じる。よって、このような電子源を用いて画像表示を行った際には、表示輝度の分布の均一性が劣ると言う問題がある。

【0033】本発明は、以上の知見に基づき、なされたものであり、前述の第1又は第2の問題に対処し得る方法、あるいは第1及び第2の両方の問題に対処し得る方法を見出した。

【0034】以下に好ましい実施形態を挙げて、本発明を詳述する。

【0035】以下に添付の図面を参照して本発明の好適

な実施の形態を説明する。

【0036】まず、図8～図18を参照して、本実施形態における表面伝導型放出素子、該素子を複数個用いて形成されるマルチ電子源、及びこれを用いて形成される画像表示装置について、その構成と製造法について説明する。

【0037】（表示パネルの構成と製造法）まず、本発明を適用した画像表示装置の表示パネルの構成と製造法について、具体的な例を示して説明する。

10 【0038】図8は、実施形態に用いた表示パネルの斜視図であり、内部構造を示すためにパネルの1部を切り欠いて示している。

【0039】図中、1005はリアプレート、1006は側壁、1007はフェースプレートであり、1005～1007により表示パネルの内部を真空中に維持するための気密容器を形成している。気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、たとえばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、摂氏400～500度で10分以上焼成することにより封着を達成した。気密容器内部を真空中に排気する方法については後述する。

【0040】リアプレート1005には、基板1001が固定されているが、該基板には表面伝導型放出素子1002がN×M個形成されている。（N、Mは2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。たとえば、高品位テレビジョンの表示を目的とした表示装置においては、N=3000、M=1000以上の数を設定することが望ましい。本実施形態においては、N=3072、M=1024とした。）前記N×M個の表面伝導型放出素子は、M本の行方向配線1003とN本の列方向配線1004により単純マトリクス配線されている。前記、1001～1004によって構成される部分をマルチ電子ビーム源と呼ぶ。なお、マルチ電子ビーム源の製造方法や構造については、後で詳しく述べる。

40 【0041】本実施形態においては、気密容器のリアプレート1005にマルチ電子ビーム源の基板1001を固定する構成としたが、マルチ電子ビーム源の基板1001が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子ビーム源の基板1001自体を用いてもよい。

【0042】また、フェースプレート1007の下面には、蛍光膜1008が形成されている。本実施形態はカラー表示装置であるため、蛍光膜1008の部分にはCRTの分野で用いられる赤、緑、青、の3原色の蛍光体が塗り分けられている。各色の蛍光体は、たとえば図9の(a)に示すようにストライプ状に塗り分けられ、蛍光体のストライプの間には黒色の導電体1010が設けられている。黒色の導電体1010を設ける目的は、電子ビ

ームの照射位置に多少のずれがあっても表示色にずれが生じないようにする事や、外光の反射を防止して表示コントラストの低下を防ぐ事、電子ビームによる蛍光膜のチャージアップを防止する事などである。黒色の導電体1010には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いても良い。

【0043】また、3原色の蛍光体の塗り分け方は前記図9の(a)に示したストライプ状の配列に限られるものではなく、たとえば図9の(b)に示すようなデルタ状配列や、それ以外の配列であってもよい。なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜1008に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【0044】また、蛍光膜1008のリアプレート側の面には、CRTの分野では公知のメタルバック1009を設けてある。メタルバック1009を設けた目的は、蛍光膜1008が発する光の一部を鏡面反射して光利用率を向上させる事や、負イオンの衝突から蛍光膜1008を保護する事や、電子ビーム加速電圧を印加するための電極として作用させる事や、蛍光膜1008を励起した電子の導電路として作用させる事などである。メタルバック1009は、蛍光膜1008をフェースプレート基板1007上に形成した後、蛍光膜表面を平滑化処理し、その上にA1を真空蒸着する方法により形成した。なお、蛍光膜1008に低電圧用の蛍光体材料を用いた場合には、メタルバック1009は用いない。

【0045】また、本実施形態では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板1007と蛍光膜1008との間に、たとえばITOを材料とする透明電極を設けてもよい。

【0046】また、 $Dx1 \sim Dx_m$ および $Dy1 \sim Dy_n$ および Hv は、当該表示パネルと不図示の電気回路とを電気的に接続するために設けた気密構造の電気接続用端子である。 $Dx1 \sim Dx_m$ はマルチ電子ビーム源の行方向配線1003と、 $Dy1 \sim Dy_n$ はマルチ電子ビーム源の列方向配線1004と、 Hv はフェースプレートのメタルバック1009と電気的に接続している。

【0047】また、気密容器内部を真空中に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を10のマイナス7乗[Torr]程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜(不図示)を形成する。ゲッター膜とは、たとえばBaを主成分とするゲッター材料をヒーターもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は 1×10 マイナス5乗ないしは 1×10 マイナス7乗[Torr]

の真空度に維持される。

【0048】以上、本発明実施形態の表示パネルの基本構成と製法を説明した。

【0049】次に、前記実施形態の表示パネルに用いたマルチ電子ビーム源の製造方法について説明する。本発明の画像表示装置に用いるマルチ電子ビーム源は、表面伝導型放出素子を単純マトリクス配線した電子源であれば、表面伝導型放出素子の材料や形状あるいは製法に制限はない。しかしながら、発明者らは、表面伝導型放出素子の中では、電子放出部もしくはその周辺部を微粒子膜から形成したものが電子放出特性に優れ、しかも製造が容易に行えることを見だしている。したがって、高輝度で大画面の画像表示装置のマルチ電子ビーム源に用いるには、最も好適であると言える。そこで、上記実施形態の表示パネルにおいては、電子放出部もしくはその周辺部を微粒子膜から形成した表面伝導型放出素子を用いた。そこで、まず好適な表面伝導型放出素子について基本的な構成と製法および特性を説明し、その後で多数の素子を単純マトリクス配線したマルチ電子ビーム源の構造について述べる。

【0050】(表面伝導型放出素子の好適な素子構成と製法)電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型放出素子の代表的な構成には、平面型と垂直型の2種類があげられる。

【0051】(平面型の表面伝導型放出素子)まず最初に、平面型の表面伝導型放出素子の素子構成と製法について説明する。図10に示すのは、平面型の表面伝導型放出素子の構成を説明するための平面図(a)および断面図(b)である。図中、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した電子放出部、1113は通電活性化処理により形成した薄膜である。

【0052】基板1101としては、たとえば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、あるいは上述の各種基板上にたとえば SiO_2 を材料とする絶縁層を積層した基板、などを用いることができる。

【0053】また、基板1101上に基板面と平行に対向して設けられた素子電極1102と1103は、導電性を有する材料によって形成されている。たとえば、Ni、Cr、Au、Mo、W、Pt、Ti、Cu、Pd、Ag等をはじめとする金属、あるいはこれらの金属の合金、あるいは $In_2O_3-SnO_2$ をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。電極を形成するには、たとえば真空蒸着などの製膜技術とフォトリソグラフィ、エッチングなどのパターニング技術を組み合わせると用いれば容易に形成できるが、それ以外の方法(たとえば印刷技術)を用いて形成してもさしつかえない。

【0054】素子電極1102と1103の形状は、当

該電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔 L は通常は数百オングストロームから数百マイクロメートルの範囲から適当な数値を選んで設計されるが、なかでも表示装置に応用するために好ましいのは数マイクロメートルより数十マイクロメートルの範囲である。また、素子電極の厚さ d については、通常は数百オングストロームから数マイクロメートルの範囲から適当な数値が選ばれる。

【0055】また、導電性薄膜1104の部分には、微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造が観測される。

【0056】微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、なかでも好ましいのは10オングストロームから200オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。すなわち、素子電極1102あるいは1103と電気的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。

【0057】具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、なかでも好ましいのは10オングストロームから500オングストロームの間である。

【0058】また、微粒子膜を形成するのに用いられる材料としては、たとえば、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb, などをはじめとする金属や、PdO, SnO₂, In₂O₃, PbO, Sb₂O₃, などをはじめとする酸化物や、HfB₂, ZrB₂, LaB₆, CeB₆, YB₄, GdB₄, などをはじめとする硼化物や、TiC, ZrC, HfC, TaC, SiC, WC, などをはじめとする炭化物や、TiN, ZrN, HfN, などをはじめとする窒化物や、Si, Ge, などをはじめとする半導体や、カーボン、などがあげられ、これらの中から適宜選択される。

【0059】以上述べたように、導電性薄膜1104を微粒子膜で形成したが、そのシート抵抗値については、10の3乗から10の7乗[オーム/sg]の範囲に含まれるよう設定した。

【0060】なお、導電性薄膜1104と素子電極1102および1103とは、電気的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図10の例においては、下から、基板、素子電極、導電性薄膜の順序で積層した

が、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層してもさしつかえない。

【0061】また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電気的には周囲の導電性薄膜よりも高抵抗な性質を有している。亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図10においては模式的に示してある。

【0062】また、薄膜1113は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部1105およびその近傍を被覆している。薄膜1113は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

【0063】薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500[オングストローム]以下とするが、300[オングストローム]以下とするのがさらに好ましい。なお、実際の薄膜1113の位置や形状を精密に図示するのは困難なため、図10においては模式的に示した。また、平面図(a)においては、薄膜1113の一部を除去した素子を図示した。

【0064】以上、好ましい素子の基本構成を述べたが、実施形態においては以下のような素子を用いた。

【0065】すなわち、基板1101には青板ガラスを用い、素子電極1102と1103にはNi薄膜を用いた。素子電極の厚さ d は1000[オングストローム]、電極間隔 L は2[マイクロメートル]とした。

【0066】微粒子膜の主要材料としてPdもしくはPdOを用い、微粒子膜の厚さは約100[オングストローム]、幅 W は100[マイクロメートル]とした。

【0067】次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。図11の(a)~(d)は、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記は前記図10と同一である。

【0068】1) まず、図11の(a)に示すように、基板1101上に素子電極1102および1103を形成する。

【0069】形成するにあたっては、あらかじめ基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる。(堆積する方法としては、たとえば、蒸着法やスパッタ法などの真空成膜技術を用いればよい。)その後、堆積した電極材料を、フォトリソグラフィ・エッチング技術を用いてパターニングし、(a)に示した一対の素子電極(1102と1103)を形成する。

【0070】2) 次に、同図(b)に示すように、導電性薄膜1104を形成する。

【0071】形成するにあたっては、まず前記(a)の基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィー・エッチングにより所定の形状にパターンニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である(具体的には、本実施形態では主要元素としてPdを用いた。また、実施形態では塗布方法として、ディッピング法を用いたが、それ以外のたとえばスピンナー法やスプレー法を用いてもよい。)

【0072】また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施形態で用いた有機金属溶液の塗布による方法以外の、たとえば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

【0073】3)次に、同図(c)に示すように、フォーミング用電源1110から素子電極1102と1103の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部1105を形成する。

【0074】通電フォーミング処理とは、微粒子膜で作られた導電性薄膜1104に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。微粒子膜で作られた導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分(すなわち電子放出部1105)においては、薄膜に適当な亀裂が形成されている。なお、電子放出部1105が形成される前と比較すると、形成された後は素子電極1102と1103の間で計測される電気抵抗は大幅に増加する。

【0075】通電方法をより詳しく説明するために、図12に、フォーミング用電源1110から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、本実施形態の場合には同図に示したようにパルス幅T1の三角波パルスをパルス間隔T2で連続的に印加した。その際には、三角波パルスの波高値V_{pf}を、順次昇圧した。また、電子放出部1105の形成状況をモニターするためのモニターパルスP_mを適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計1111で計測した。

【0076】実施形態においては、たとえば10のマイナス5乗[torr]程度の真空雰囲気下において、たとえばパルス幅T1を1[ミリ秒]、パルス間隔T2を10[ミリ秒]とし、波高値V_{pf}を1パルスごとに0.1[V]ずつ昇圧した。そして、三角波を5パルス印加するたびに1回の割りで、モニターパルスP_mを挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニターパルスの電圧V_{pm}は0.1[V]に設定した。そして、素子電極1102と1103の間の電気抵抗が1×10の6乗[オーム]になった段階、す

なわちモニターパルス印加時に電流計1111で計測される電流が1×10のマイナス7乗[A]以下になった段階で、フォーミング処理にかかわる通電を終了した。

【0077】なお、上記の方法は、本実施形態の表面伝導型放出素子に関する好ましい方法であり、たとえば微粒子膜の材料や膜厚、あるいは素子電極間隔など表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

【0078】4)次に、図11の(d)に示すように、活性化用電源1112から素子電極1102と1103の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。

【0079】通電活性化処理とは、前記通電フォーミング処理により形成された電子放出部1105に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。(図においては、炭素もしくは炭素化合物よりなる堆積物を部材1113として模式的に示した。)なお、通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には100倍以上に増加させることができる。

【0080】具体的には、10のマイナス4乗ないし10のマイナス5乗[torr]の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500[オングストローム]以下、より好ましくは300[オングストローム]以下である。

【0081】通電方法をより詳しく説明するために、図13の(a)に、活性化用電源1112から印加する適宜の電圧波形の一例を示す。本実施形態においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧V_{ac}は14

[V]、パルス幅T3は1[ミリ秒]、パルス間隔T4は10[ミリ秒]とした。なお、上述の通電条件は、本実施形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0082】図11の(d)に示す1114は該表面伝導型放出素子から放出される放出電流I_eを捕捉するためのアノード電極で、直流高電圧電源1115および電流計1116が接続されている。(なお、基板1101を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極1114として用いる。)活性化用電源1112から電圧を印加する間、電流計1116で放出電流I_eを計測して通電活性化処理の進行状況をモニターし、活性化用電源1112の動作を制御する。電流計1116で計測された放

出電流 I_e の一例を図105 (b) に示すが、活性化電源1112からパルス電圧を印加しはじめると、時間の経過とともに放出電流 I_e は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流 I_e がほぼ飽和した時点で活性化用電源1112からの電圧印加を停止し、通電活性化処理を終了する。

【0083】なお、上述の通電条件は、本実施形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0084】以上のようにして、図11の(e)に示す平面型の表面伝導型放出素子を製造した。

【0085】(垂直型の表面伝導型放出素子) 次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型放出素子のもうひとつの代表的な構成、すなわち垂直型の表面伝導型放出素子の構成について説明する。

【0086】図14は、垂直型の基本構成を説明するための模式的な断面図であり、図中の1201は基板、1202と1203は素子電極、1206は段差形成部材、1204は微粒子膜を用いた導電性薄膜、1205は通電フォーミング処理により形成した電子放出部、1213は通電活性化処理により形成した薄膜、である。垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方(1202)が段差形成部材1206上に設けられており、導電性薄膜1204が段差形成部材1206の側面を被覆している点にある。したがって、前記図10の平面型における素子電極間隔 L は、垂直型においては段差形成部材1206の段差高さ s として設定される。なお、基板1201、素子電極1202および1203、微粒子膜を用いた導電性薄膜1204、につい

ては、前記平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材1206には、たとえば SiO_2 のような電気的に絶縁性の材料を用いる。

【0087】次に、垂直型の表面伝導型放出素子の製法について説明する。図15の(a)～(f)は、製造工程を説明するための断面図で、各部材の表記は前記図14と同一である。

【0088】1) まず、図15(a)に示すように、基板1201上に素子電極1203を形成する。

【0089】2) 次に、同図(b)に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、たとえば SiO_2 をスパッタ法で積層すればよいが、たとえば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0090】3) 次に、同図(c)に示すように、絶縁層の上に素子電極1202を形成する。

【0091】4) 次に、同図(d)に示すように、絶縁層の一部を、たとえばエッチング法を用いて除去し、素子電極1203を露出させる。

【0092】5) 次に、同図(e)に示すように、微粒子膜を用いた導電性薄膜1204を形成する。形成するには、前記平面型の場合と同じく、たとえば塗布法などの成膜技術を用いればよい。

【0093】6) 次に、前記平面型の場合と同じく、通電フォーミング処理を行い、電子放出部を形成する。

(図11の(c)を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい。)

7) 次に、前記平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる(図11の(d)を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい)。

【0094】以上のようにして、図11の(f)に示す垂直型の表面伝導型放出素子を製造した。

【0095】(表示装置に用いた表面伝導型放出素子の特性) 以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【0096】図16に、表示装置に用いた素子の、(放出電流 I_e) 対 (素子印加電圧 V_f) 特性、および (素子電流 I_f) 対 (素子印加電圧 V_f) 特性の典型的な例を示す。なお、放出電流 I_e は素子電流 I_f に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2本のグラフは各々任意単位で図示した。

【0097】表示装置に用いた素子は、放出電流 I_e に関して以下に述べる3つの特性を有している。

【0098】第一に、ある電圧(これを閾値電圧 V_{th} と呼ぶ)以上の大きさの電圧を素子に印加すると急激に放出電流 I_e が増加するが、一方、閾値電圧 V_{th} 未満の電圧では放出電流 I_e はほとんど検出されない。

【0099】すなわち、放出電流 I_e に関して、明確な閾値電圧 V_{th} を持った非線形素子である。

【0100】第二に、放出電流 I_e は素子に印加する電圧 V_f に依存して変化するため、電圧 V_f で放出電流 I_e の大きさを制御できる。

【0101】第三に、素子に印加する電圧 V_f に対して素子から放出される電流 I_e の応答速度が速いため、電圧 V_f を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【0102】以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができた。たとえば多数の素子を表示画面の画素に対応して設けた表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧 V_{th} 以上の電圧を適宜印加し、非選択状態の素子には閾値電圧 V_{th} 未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表

示を行うことが可能である。

【0103】また、第二の特性かまたは第三の特性を利用することにより、発光輝度を制御することができるため、諧調表示を行うことが可能である。

【0104】(多数素子を単純マトリクス配線したマルチ電子ビーム源の構造)次に、上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子ビーム源の構造について述べる。

【0105】図17に示すのは、前記図8の表示パネルに用いたマルチ電子ビーム源の平面図である。基板上には、前記図10で示したものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線電極1003と列方向配線電極1004により単純マトリクス状に配線されている。行方向配線電極1003と列方向配線電極1004の交差する部分には、電極間に絶縁層(不図示)が形成されており、電気的な絶縁が保たれている。

【0106】図17のA-A'に沿った断面を、図18に示す。

【0107】なお、このような構造のマルチ電子源は、あらかじめ基板上に行方向配線電極1003、列方向配線電極1004、電極間絶縁層(不図示)、および表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極1003および列方向配線電極1004を介して各素子に給電して通電フォーミング処理と通電活性化処理を行うことにより製造した。

【0108】以上説明したように、表面伝導型放出素子によるマルチ電子源の製造過程において通電活性化処理が画像表示装置形成後の表示特性に大きな影響を及ぼす。上述の素子の製造工程の説明では、単一の素子について説明を行っているが、画像表示装置の形成においてはマルチ電子源に対する活性化処理が必要となる。以下の第1～8の実施形態では、そのようなマルチ電子源に対する好適な活性化処理の方法について説明する。

【0109】以下、本発明に係る一実施形態について、図面を参照して詳細に説明する。

【0110】<第1実施形態>図1に、本実施形態における表面伝導型電子放出素子の活性化装置の例を示す。図1において、1は活性化電圧パルスを発生する活性化電圧源、2は活性化電圧源1で発生した電圧パルスを必要なラインに印加するためのライン選択部、3は活性化電圧源1、ライン選択部2を制御するための制御部、4は活性化されるための、既に上述のようなフォーミング処理がなされた、複数の表面伝導型電子放出素子がM行×N列に単純マトリクス配線された電子源基板である。ここで電子源基板4は不図示の真空装置中に設置されており、該真空装置内は、10のマイナス4乗～マイナス5乗Torr程度に真空排気されている。

【0111】以下、図1を用いて本実施形態における表面伝導型電子放出素子の活性化方法について説明する。活性化電圧源1は活性化に必要な電圧パルスを発生する

ためのものであり、本実施形態において、該活性化電圧源1は上述した図27に示す電圧波形を出力し、T1

(パルス幅) = 1 msec, T2 (パルス間隔) = 2 msec、電圧波高値は14Vであった。この電圧波形および出力のオン/オフは、制御部3により制御される。活性化電圧源1から出力された電圧波形は、ライン選択部2に入力され、そこで選択されたラインに印加される。

【0112】ここで、ライン選択部2について、図2を参照して説明する。ライン選択部2は例えばリレー、アナログスイッチ等のスイッチで構成され、電子源基板4がN×Mのマトリクスであるとき、sw1～swMのようにM個のスイッチが並列に並べられ、Sx1～SxMを介して電子源基板4のx配線端子Dx1～DxMに接続されている。また該スイッチsw1～swMは制御部3にて制御され、活性化すべきラインに活性化電圧源1からの電圧波形が加わるように作動する。図2の例ではsw1が作動することにより第1ラインが選択され、その他のラインはグランドに接続されている様子を示す。

【0113】次に、本実施形態におけるライン切り替えのタイミングについて、図3を参照して説明する。

【0114】図3は、図1中に示した活性化電圧源1とライン選択部2の動作タイミングを示すタイミングチャートである。図3において、一番上のグラフは活性化電圧源1の出力波形を示し、sw1～swMの各グラフはライン選択部2に内蔵されたスイッチの動作タイミングを示し、Sx1～SxMの各グラフはライン選択部2の出力波形を示している。

【0115】図示のように、活性化電圧源1は、連続した矩形パルスを出力する。

【0116】パルス出力が始まるとまず最初にsw1がオンになり、パルス波形を電子源基板4のDx1端子に出力する。しかし、sw1がオンになっているのは1パルス分だけであり、すぐにオフとなって、直後にsw2がオンになる。このようにしてパルス出力に合わせてsw1からswMが順次切り替わり、Sx1～SxMで示した各出力パルスがDx1からDxMに印加された後、またsw1から順に繰り返される。

【0117】このようにして活性化を一定時間行なった結果、各表面伝導型電子放出素子間での放出電流特性は非常に均一なものとなり、該表面伝導型電子放出素子の複数有する電子源を利用して製作した画像表示装置(ディスプレイ装置)では高品位な画像が得られた。ここで活性化に必要な時間は1ライン活性化のデータから求められ、ライン毎に活性化する方法と比べてほぼ5分の1の時間で同程度の放出電流が得られた。

【0118】以上説明したように本実施形態のような活性化装置を用いて複数の表面伝導型電子放出素子に対して活性化電圧をライン走査しながら印加する事により、活性化時間を短縮し、尚且つ、各素子の特性を均一化す

ることができる。

【0119】尚、本実施形態は、電子源基板4が、複数の表面伝導型電子放出素子が梯子型配線により接続されている電子源基板であっても同様に適用可能である。

【0120】＜第2実施形態＞以下、本発明に係る第2実施形態について、以下詳細に説明する。

【0121】第2実施形態における活性化装置は上述した第1実施形態と同様であるが、電子源基板として、既に上述のようなフォーミング処理が成された、複数の表面伝導型電子放出素子が、梯子型配線されたものを使用する例について説明する。これを図4に示す。図4において、上述した第1実施形態に示す図1と同様の構成には同一番号を付し、説明を省略する。

【0122】図4において、5は活性化されるための、既にフォーミング処理がなされた複数の表面伝導型電子放出素子が、梯子型配線された電子源基板である。ここで電子源基板5は不図示の真空装置中に設置されており、該真空装置内は10のマイナス4乗～マイナス5乗Torr程度に真空排気されている。

【0123】電子源基板の梯子型配線のうち、半数は端子D1～DMを介してライン選択部2と電気的に接続され、残りの半数はグランドレベル（0ボルト）と接続されている。

【0124】図5は、図4中に示した活性化電圧源1とライン選択部2の動作タイミングを示すタイミングチャートである。図5において、一番上のグラフは活性化電圧源1の出力波形を示し、sw1～swMの各グラフはライン選択部2に内蔵されたスイッチの動作タイミングを示し、S1～SMの各グラフはライン選択部2の出力波形を示している。

【0125】本実施形態では、全ラインを上半分（すなわち1ライン～M/2ライン）と下半分（すなわちM/2+1ライン～Mライン）の2つのグループに分割し、両グループに対して並行して通電活性化処理を行うが、各グループ内では前記第1実施形態と同様にラインを順次切り替えながら電圧を印加した。本実施形態は、活性化処理に要する時間を、第1実施形態よりもさらに短縮できた。（なお、分割するグループ数は必ずしも2に限るものではなく、総ライン数に応じて適宜決定すればよい。）

各部の動作を詳しく説明すると、図5に示すように、活性化電圧源1は連続した矩形パルスを出力する。

【0126】パルス出力が始まるとまず最初にライン制御部2内のsw1及びsw[M/2+1]（Mが奇数のときはsw[(M+1)/2+1]）がオンになる。従って、パルス波形が電子源基板5のD1及びD[M/2+1]端子に出力される。しかし、sw1、sw[M/2+1]（又はsw[(M+1)/2+1]）がオンになっているのは1パルス分だけであり、すぐにオフとなつて、直後にsw2、sw[M/2+2]（又はSW

[(M+1)/2+2]）がオンになる。このようにしてパルス出力に合わせてsw1～sw[M/2]、及びsw[M/2+1]～swMが切り替わり、1パルスずつがD1～D[M/2]及びD[M/2+1]～DMに印加された後、またsw1、sw[M/2+1]（又はsw[(M+1)/2+1]）から繰り返される。

【0127】このようにして活性化を一定時間行なった結果、各表面伝導型電子放出素子間での放出電流特性は非常に均一なものになり、該表面伝導型電子放出素子の複数性を有する電子源を利用して製作した画像表示装置（ディスプレイ装置）では高品位な画像が得られた。ここで活性化に必要な時間は1ライン活性化のデータから求められ、ライン毎に活性化する方法と比べてほぼ10分の1の時間で同程度の放出電流が得られた。

【0128】以上説明したように、同時に活性化電圧パルスを印加するラインを増やしていくことにより、電子源基板全体の活性化時間を短縮することができる。但し、該ライン数を増やしすぎると基板で消費される電力が増えることとなるので、発熱、電源容量の制限に応じて、同時に活性化できるライン数は適宜決定される。

【0129】尚、第2実施形態は、電子源基板5が、複数の表面伝導型電子放出素子が単純マトリクス配線により接続されている電子源基板であっても同様に適用可能である。

【0130】＜第3実施形態＞以下、本発明に係る第3実施形態について詳細に説明する。第3実施形態における活性化装置は上述した第1実施形態で説明した装置と同様であり、複数の表面伝導型電子放出素子も同様に、単純マトリクス配線により接続されているが、両側から配線が取り出しされ、ライン選択部に共通に接続されている。これを図6に示す。図6において、上述した第1実施形態に示す図1と同様の構成には同一番号を付し、説明を省略する。

【0131】図6において、6は活性化されるための、既に上述のようなフォーミング処理がなされた複数の表面伝導型電子放出素子が単純マトリクス配線された電子源基板である。ここで電子源基板6は不図示の真空装置中に設置されており、該真空装置内は10のマイナス4乗～マイナス5乗Torr程度に真空排気されている。尚、図6に示す活性化装置の全体的な動作は上述した第1実施形態と同様であるため、説明を省略する。

【0132】図7は、図6中に示した活性化電圧源1とライン選択部2の動作タイミングを示すタイミングチャートである。図7において、一番上のグラフは活性化電圧源1の出力波形を示し、sw1～swMの各グラフはライン選択部2に内蔵されたスイッチの動作タイミングを示し、Sx1～SxMの各グラフはライン選択部2の出力波形を示している。

【0133】本実施形態においては、活性化電圧源1として構造が簡単な直流電圧源を用いており、14ボルト

の一定電圧が出力されている。

【0134】活性化電圧が出力されるとまず最初にsw1がオンになる。そして、活性化電圧が電子源基板6のD×1端子に出力される。しかし、sw1がオンになっているのは1msecだけであり、すぐにオフとなって、直後にsw2がオンになる。このようにして1msec毎にsw1～swMが順次切り替わり、1msecの活性化電圧がD×1～D×Mに印加された後、またsw1から順に繰り返される。

【0135】このようにして活性化を一定時間行なった結果、各表面伝導型電子放出素子間での放出電流特性は非常に均一なものになり、該表面伝導型電子放出素子を複数有する電子源を利用して製作した画像表示装置（ディスプレイ装置）では高品位な画像が得られた。

【0136】本実施形態によれば、配線の両側から給電するため配線抵抗で生ずる電圧降下を緩和することができ、第1実施形態よりもさらに均一に活性化処理を遂行できる効果がある。また、第1実施形態ではM本のラインを1回走査するのに2×M[msec]必要としたが、本実施形態ではM[msec]で済む。したがって、活性化処理を完遂するのに要する時間は第1実施形態の場合の約半分で済んだ。

【0137】以上説明したように、活性化電圧を印加するラインを所定時間単位で切り替えることにより、電子源基板全体の活性化時間を短縮することができる。

【0138】尚、第3実施形態は、電子源基板6が、複数の表面伝導型電子放出素子が梯子型配線により接続されている電子源基板であっても同様に適用可能である。

【0139】＜第4実施形態＞図19は、本実施形態における活性化処理を行なうための電気回路の概略構成を示したブロック図である。図19において19は表面伝導型放出素子であり、既に、上述したようなフォーミング処理がなされた素子である。

【0140】該表面伝導型放出素子19の複数が、M行×N列に、単純マトリクス配線されて、電子源基板10を構成している。

【0141】11は制御部であり、本実施形態における活性化処理の制御を行う。制御部11はCPU12、ROM13及びRAM14を備える。CPU12はROM13に格納された制御プログラムを実行することにより、本実施形態の活性化処理を実現する。RAM14はCPU12が各種の処理を実行するに際しての作業領域を提供する。

【0142】17、18はスイッチング回路であり、制御部11の制御によってそれぞれ列方向配線、行方向配線の接続を切り換える。スイッチング回路17は、①、列方向配線に接続される端子DY1～DYNに、パルス発生電源1112bからの通電活性化パルスを印加するか、グラウンドにするかを切り換えるスイッチ素子と、

②、通電活性化を行なうために端子DY1～DYNのい

ずれか1つもしくは複数を選択するスイッチ素子とを備える。スイッチング回路18は行方向配線の接続に関してスイッチング回路17と同様の働きをする。

【0143】1112a及び1112bはパルス発生電源であり、上記図11の(d)で説明した活性化用電源1112に相当する。各端子に印加される活性化処理用のパルスの切り換え動作、及びパルスの波高、幅、周期、発生タイミングなどは制御部11によって制御される。なお、パルス発生電源1112a、b、及びスイッチング回路17、18は複数の端子を同時に選択する事も可能である。

【0144】また、1114はアノードであり、活性化処理中に各素子から放出される電子を捕捉する。1116は電流計であり、アノード1114で捕捉された放出電流Ieを計測し、その結果を制御部1へ入力する。1115は直流高圧電源であり、アノード1114に対して正の高圧を印加する。これら1114～1116で示される構成は、放出電流Ieを検出するための構成であり、図11の(d)で示した構成に対応している。

【0145】図20は、電子源基板10の全マトリクス中の12×6マトリクスを抽出した図である。説明の都合上、各表面伝導型放出素子を区別するためにD(1,1)、D(2,1)ないしはD(12,6)のように(X,Y)座標で位置を示してある。ここで、12×6マトリクスを例にして説明を行なうのは、家庭用TV等の画像表示パネルに於いては水平方向のほうが表示分解能が高い場合が多いこと、さらに、後述するように本発明の表面伝導型放出素子を用いた画像表示装置の場合は、表示面上のそれぞれの輝点に個々の表面伝導型放出素子が対応することから、実際に使用される形態に近いモデルを選んだことによるものである。たとえば、通常、家庭用のテレビジョンでは横長である上に、蛍光面での色配列がストライプやモザイク配置となっており、図19でのNは、少なくともMの2倍以上となる場合が多い。

【0146】本実施形態では、まず第1活性化の工程として行方向に沿って順に通電活性化する。まず、図20のDX1上に接続されたD(1,1)、D(2,1)、…、D(12,1)の各表面伝導型放出素子を通電活性化するために、図19のスイッチング回路17、18により端子DX1を選択し、パルス発生電源1112aにより活性化パルスを印加する。即ち、DX1をパルス発生電源1112aに接続し、この他の端子は全てグラウンドとする。このような電位の与え方により単純マトリクス配線において所望の表面伝導型放出素子だけに電圧を印加することができる。活性化パルスは、図13の(a)に示した矩形波で、T1(パルス幅)を1ミリ秒、T2(パルス間隔)を10ミリ秒、波高値Vacを14Vとして、約1×10のマイナス5乗 Torrの真空雰囲気下で行った。また、活性化中は、放出電流Ie

をモニタしながら行った。そして、 I_e 値が完全に飽和するまで十分時間をかけ（本実施形態では90分程度）活性化した。

【0147】つづいて、DX2上に接続されたD(1, 2)、D(2, 2)、…、(12, 2)の各表面伝導型放出素子を通電活性化するために、スイッチング回路17及び18により端子DX2を選択する。即ち、端子DX2をパルス発生電源1112aと接続し、その他の端子は全てグラウンドとして、DX1の場合と同様にして活性化パルスを印加する。

【0148】これを繰り返して、図20において上から下に向かってDX6まで1ラインずつ順に活性化を完了させる。なお、各行に対する活性化処理は、放出電流 I_e をモニタし、放出電流 I_e の飽和を検出して終了とする。なお、放出電流 I_e の飽和の検出は、 I_e の変化量が所定量以下となったことを検出して行える。

【0149】さて、以上のような第1活性化の工程を終了した時点では、課題で述べたとおり、給電端子DX1〜DXMからの距離の違いによって、行方向に沿ったライン内（図20においては横方向）では、図33に示したように各素子への印加電圧に分布が生じてしまう。図21は、本実施形態において第1の活性化工程を終了した時点における、行内の電子放出量の分布を表す図である。図33に示したような印加電圧の分布により、図21に示すように放出特性にばらつき ΔI_{ex} が生じている。

【0150】次に、第2活性化の工程として、第1活性化の工程とは直交する方向の配線に沿って活性化処理を進める。即ち、本実施形態では第1活性化工程が行方向に沿って処理を進めたので第2活性化工程では列方向に沿って（図20の縦方向）通電活性化を行なう。まず図20のDY12上に接続されたD(12, 1)、D(12, 2)、…、D(12, 6)の各表面伝導型放出素子を通電活性化するために、図19のスイッチング回路17、18により、端子DY12を選択する。この結果、端子DY12がパルス発生電源1112bに接続され、その他の端子は全てグラウンドとなり、端子DY12につながる列方向配線に活性化パルスが印加される。この場合にも、第1活性化と同様の条件の活性化パルスを印加した。

【0151】以下同様にして、図20において右から左に向かって端子DY1まで1ラインずつ順に活性化する。第2活性化では既に活性化済みの表面伝導型放出素子を駆動するので、図21に示したような印加電圧分布による放出電流バラツキを補正する程度の短い時間（本実施形態では15分程度）で行った。

【0152】図22は第2活性化工程を実行後の列方向の素子における放出電流のばらつきを表す図である。垂直方向、即ち端子DYN上の表面伝導型放出素子においては、第1活性化工程のときと比べ1ライン上の駆動さ

れる表面伝導型放出素子の数が12から6に減少するために、配線での電圧降下が低減され、図22に示したように電子放出量のばらつきも ΔI_{ey} と第1活性化工程での量の半以下になる。

【0153】なお、上述の第2活性化を最初に行っても同様の電子放出量のばらつきが少ない電子源を作成することが可能であるが、初期からの活性化は長時間かかるため、ライン数の少ない行方向でまず第1活性化を行う。この結果、通電活性化工程全体の時間が短縮される。例えば、本実施形態では、第1活性化工程に90分程度の時間が必要となるのに対して、第2活性化工程には15分程度の時間しか必要とされない。従って、ライン数の少ない行方向で第1活性化を行い、続いて列方向で第2活性化を行うことで、処理時間の短縮が達成される。

【0154】上述のような方法で図19の全マトリクス中で活性化を行うことにより、均一な電子源を作成することが可能となる。

【0155】なお、上述の通電条件は、本実施形態の表面伝導型放出素子に関する好ましい方法であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更することが望ましい。

【0156】また、本実施形態の第1及び第2通電活性化工程での通電活性化は、ライン単位であれば上記の限りではなく、複数ライン単位同時でも、また、それを駆動パルスの間に走査して行ってもよい。又、行と列が逆でも1ライン上での表面伝導型放出素子の数が少ない方向で第2活性化を行なえばよい。

【0157】図23は本実施形態における活性化手順を表すフローチャートである。同図において、ステップS11〜S13、S16、S17で示される処理は第1通電活性化工程であり、ステップS14、S15、S18、S19で示される処理は第2通電活性化工程である。

【0158】第1通電活性化工程を行単位或は列単位のいずれで行うかを決定するために、ステップS11において、M行×N列のマトリクス配線の行数Mと列数Nの大きさを比較する。上述したように、処理時間の短縮のために、行数或は列数の少ないほうを用いて第1通電活性化工程が実行される。即ち、ステップS11でMがN以下であればステップS12へ進み、行単位での通電活性化工程を実行する。そして、ステップS13で放出電流 I_e が飽和したか否かを判定し、 I_e が飽和するまで通電処理が行われる。この処理を全ての行について実行する（ステップS14）。ステップS14で全ての行について活性化処理を終了した場合は、ステップS15へ進み、第2通電活性化工程へ移る。

【0159】ステップS15では、列単位での通電活性化工程を実施し、放出電流 I_e の飽和が検出されるまで処理が行われる（ステップS16）。ステップS15及

びステップS16による活性化処理を全ての列について実行すると本活性化処理が終了する(ステップS17)。

【0160】一方、ステップS11で列数Nの方が行数Mより小さければ、ステップS21へ進む。ステップS21～S26で示される処理では、第1通電活性化工程を列単位で実行し、第2通電活性化工程を行単位で行うという点を除いて上述のステップS12～S17で示した処理と同様の処理が実行される。

【0161】なお、本例では上述の図23のフローチャートに示された制御を実現するための制御プログラムはROM13に格納されてCPU12によって実行されるが、制御形態はこれに限らない。例えば、上述した制御を実現する構成を論理回路等のハードウェアで実現してもよいことは言うまでもない。

【0162】以上のようにして、行方向を単位とした通電活性化と列方向を単位とした通電活性化を行うことにより、マトリクス上の各表面伝導型放出素子の電子放出特性をより均一にすることが可能となる。

【0163】また、比較的時間のかかる第1通電活性化工程を、行数或は列数のうちの数の少ない方を単位として行うことにより、第1及び第2通電活性化工程によるトータルの通電活性化処理時間を短縮できる。

【0164】＜第5実施形態＞以下に、図24及び図25を参照して本実施形態について説明する。図24は本実施形態における活性化処理を行なうための電気回路の概略構成を示したブロック図である。第4実施形態(図19)と異なる点は、行方向配線の両側にDX1とDX1'ないしDXMとDXM'のように活性化パルスを印加する端子(給電端子)を有している点である。なお、図24において図19と同じ構成には同一の参照番号を付し、ここでは説明を省略する。

【0165】本実施形態での通電活性化方法は、第4実施形態と同様に、行数の方が列数よりも少ないものとし、行方向のライン単位で行なう第1活性化工程を先に行ない、次に、第1活性化工程時のラインと直交する方向、即ち列方向のライン単位で第2活性化工程を行なう。但し、本実施形態での第1活性化工程は、給電端子が行方向配線の両側にあるため、第4実施形態のときの第1活性化工程に比べ、配線による電圧降下が低減されることになる。

【0166】図25は第1活性化工程を終えた行方向における各素子からの放出電流のばらつきを表す図である。以上のようにして第1活性化工程を終えた電子源基板の行方向での電子放出特性のばらつきは、図21に示したばらつき量 ΔI_{ex} よりもさらに少ない $\Delta I_{ex}'$ が得られる。

【0167】尚、活性化する表面伝導型放出素子の選択方法、活性化雰囲気、活性化パルス等は実施形態と同じである。第1活性化工程における通電活性化する順番

は、 $D \times 1$ 、 $D \times 2$ 、…、 $D \times M$ の順で行われ、第2活性化工程に置いては、 $DYN/2$ 、 $DY(N/2+1)$ 、 $DY(N/2-1)$ 、…、 $DY1$ 、 DYN と $\Delta I_{ex}'$ がより大きい素子が結線された列から順に行われる。又、活性化の終了は第4実施形態と同様にして、ほぼ I_e が飽和されたところで終了する。ここで第2活性化工程における通電活性化の時間は第1活性化工程が終了しているために各素子への印加電圧のばらつき分を補正する程度の短時間で達成される。

【0168】上述のような方法を、全マトリクス中で行なうことにより、均一な電子源を作成することが可能となる。

【0169】なお上述の通電条件は、本実施形態の表面伝導型放出素子に関する好ましい方法であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0170】また本実施形態の通電活性化はライン単位であれば上記の限りではなく、複数ライン同時でも、またそれらをパルス間隔の間に走査して行ってもよい。また、第2活性化処理において、上記第4実施形態では駆動端の反対側から順に(即ち図2のように右から左方向へ)、第5実施形態では中央付近から両側に向けて順に活性化を行うが、活性化処理の順序は特に制限されるものではない。

【0171】又、以上述べた第4、5実施形態の活性化処理方法に、前述した第1～3実施形態の活性化処理方法を適宜組合せて行われる活性化処理は、本発明における特に好ましい態様であり、そのいくつかの例を以下に説明する。

【0172】＜第6実施形態＞本実施形態は、第1実施形態にて前述した活性化処理の方法に、更に、前述の第4実施形態の活性化処理の方法を採用した例を示すものである。

【0173】本実施形態においては、図19のパルス発生電源(1112a, 1112b)とスイッチング回路(17, 18)の動作タイミングが、前述の第4実施形態とは異なっている。

【0174】即ち、本実施形態においては、前述の第4実施形態における第1活性化及び第2活性化の各工程において、図19のパルス発生電源(1112a, 1112b)とスイッチング回路(17, 18)は、第1実施形態にて前述した図3のタイミングチャートに示される動作タイミングをとる。

【0175】本実施形態においては、前述した図3の①は、図19のパルス発生電源1112a(または1112b)の出力波形、図3の②は、図19のスイッチング回路18(または17)に内蔵され、各ラインの端子DX1～DXM(またはDY1～DYN)に接続されたスイッチSw1～SwM(またはSw1～SwN)の動作タイミング、図3の③は、各ラインの端子DX1～DX

M (またはDY1~DYN) へのスイッチング回路18 (または17) からの出力波形にそれぞれ対応する。

【0176】本実施形態においては、図19のバース発生電源(1112a, 1112b)とスイッチング回路(17, 18)が、以上述べた動作タイミングをとることを除いては、前述した第4実施形態と同様の活性化処理が行われる。

【0177】以上のように本実施形態では、行方向を単位とした通電活性化と列方向を単位とした通電活性化を行うことにより、マトリクス上の各表面伝導型放出素子の電子放出特性をより均一にすることが可能となる。

【0178】また、比較的時間のかかる第1通電活性化工程を、行数或は列数のうちの数の少ない方を単位として行うことにより、第1及び第2通電活性化工程によるトータルの通電活性化処理時間を短縮できる。

【0179】更に本実施形態では、複数の表面伝導型電子放出素子に対して活性化電圧をライン走査しながら印加することにより、活性化時間を一層短縮し、尚且つ、各素子の特性を均一化することができる。

【0180】<第7実施形態>本実施形態は、第2実施形態にて前述した活性化処理の方法に、更に、前述の第4実施形態の活性化処理の方法を採用した例を示すものである。

【0181】本実施形態においては、図19のバース発生電源(1112a, 1112b)とスイッチング回路(17, 18)の動作タイミングが、前述の第4実施形態とは異なっている。

【0182】即ち、本実施形態においては、前述の第4実施形態における第1活性化及び第2活性化の各工程において、図19のバース発生電源(1112a, 1112b)とスイッチング回路(17, 18)は、第2実施形態にて前述した図5のタイミングチャートに示される動作タイミングをとる。

【0183】本実施形態においては、前述した図5の①は、図1のバース発生電源1112a (または1112b)の出力波形、図5の②は、図19のスイッチング回路18 (または17) に内蔵され、各ラインの端子DX1~DXM (またはDY1~DYN) に接続されたスイッチSw1~SwM (またはSw1~SwN)の動作タイミング、図5の③は、各ラインの端子DX1~DXM (またはDY1~DYN) へのスイッチング回路18 (または17) からの出力波形にそれぞれ対応する。

【0184】本実施形態においては、図19のバース発生電源(1112a, 1112b)とスイッチング回路(17, 18)が、以上述べた動作タイミングをとることを除いては、前述した第4実施形態と同様の活性化処理が行われる。

【0185】以上のように本実施形態では、行方向を単位とした通電活性化と列方向を単位とした通電活性化を行うことにより、マトリクス上の各表面伝導型放出素子

の電子放出特性をより均一にすることが可能となる。

【0186】また、比較的時間のかかる第1通電活性化工程を、行数或は列数のうちの数の少ない方を単位として行うことにより、第1及び第2通電活性化工程によるトータルの通電活性化処理時間を短縮できる。

【0187】更に本実施形態では、複数の表面伝導型電子放出素子に対して活性化電圧をライン走査しながら印加すること及び、印加するラインを増やしていくことにより、活性化時間を一層短縮し、尚且つ、各素子の特性を均一化することができる。

【0188】<第8実施形態>本実施形態は、第1実施形態にて前述した活性化処理の方法に、更に、前述の第5実施形態の活性化処理の方法を採用した例を示すものである。

【0189】本実施形態においては、図19のバース発生電源(1112a, 1112b)とスイッチング回路(17, 18)の動作タイミングが、前述の第5実施形態とは異なっている。

【0190】即ち、本実施形態においては、前述の第4実施形態における第1活性化及び第2活性化の各工程において、図19のバース発生電源(1112a, 1112b)とスイッチング回路(17, 18)は、第1実施形態にて前述した図5のタイミングチャートに示される動作タイミングをとる。

【0191】本実施形態においては、前述した図3の①は、図1のバース発生電源1112a (または1112b)の出力波形、図3の②は、図19のスイッチング回路18 (または17) に内蔵され、各ラインの端子DX1~DXM及びDX1'~DXM' (またはDY1~DYN) に接続されたスイッチSw1~SwM (またはSw1~SwN)の動作タイミング、図3の③は、各ラインの端子DX1~DXM (またはDY1~DYN) へのスイッチング回路18 (または17) からの出力波形にそれぞれ対応する。

【0192】本実施形態においては、図19のバース発生電源(1112a, 1112b)とスイッチング回路(17, 18)が、以上述べた動作タイミングをとることを除いては、前述した第5実施形態と同様の活性化処理が行われる。

【0193】以上のように本実施形態では、行方向を単位とした通電活性化と列方向を単位とした通電活性化を行うことにより、マトリクス上の各表面伝導型放出素子の電子放出特性をより均一にすることが可能となる。

【0194】また、比較的時間のかかる第1通電活性化工程を、行数或は列数のうちの数の少ない方を単位として行うことにより、第1及び第2通電活性化工程によるトータルの通電活性化処理時間を短縮できる。

【0195】更に本実施形態では、複数の表面伝導型電子放出素子に対して活性化電圧をライン走査しながら印加すること及び、印加するラインを増やしていくことにより、

10

20

30

40

50

31

より、活性化時間を一層短縮し、尚且つ、各素子の特性を均一化することができる。

【0196】＜画像表示装置の応用例＞図19は、以上説明した活性化処理を施した、複数の表面伝導型放出素子を有する電子源を用いたディスプレイパネルに、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した多機能表示装置の一例を示すための図である。

【0197】図中、2100はディスプレイパネル、2101はディスプレイパネルの駆動回路、2102はディスプレイコントローラ、2103はマルチプレクサ、2104はデコーダ、2105は入出力インターフェース回路、2106はCPU、2107は画像生成回路、2108および2109および2110は画像メモリインターフェース回路、2111は画像入力インターフェース回路、2112および2113はTV信号受信回路、2114は入力部である。

【0198】なお、本表示装置は、例えばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカなどについては説明を省略する。

【0199】以下、画像信号の流れに沿って各部の機能を説明してゆく。

【0200】まず、TV信号受信回路2113は、例えば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信するための回路である。受信するTV信号の方式は特に限られるものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの処方式でもよい。また、これらよりさらに多数の走査線よりなるTV信号（例えばMUSE方式をはじめとするいわゆる高品位TV）は、大面積化や大画面数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路2113で受信されたTV信号は、デコーダ2104に出力される。

【0201】また、TV信号受信回路2112は、例えば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。前記TV信号受信回路2113と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ2104に出力される。

【0202】また、画像入力インターフェース回路2111は、例えばTVカメラや画像読み取りスキャナなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。

【0203】また、画像メモリインターフェース回路2110は、ビデオテープレコーダ（以下VTRと略す）

32

に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。

【0204】また、画像メモリインターフェース回路2109は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。

【0205】また、画像メモリインターフェース回路2108は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ2104に出力される。

【0206】また、入出力インターフェース回路2105は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字データ・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備えるCPU2106と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0207】また、画像生成回路2107は、前記入出力インターフェース回路2105を介して外部から入力される画像データや文字・図形情報や、あるいはCPU2106より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読みだし専用メモリや、画像処理を行うためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。

【0208】本回路により生成された表示用画像データは、デコーダ2104に出力されるが、場合によっては前記入出力インターフェース回路2105を介して外部のコンピュータネットワークやプリンタ入出力することも可能である。

【0209】また、CPU2106は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0210】例えば、マルチプレクサ2103に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ2102に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。

【0211】また、前記画像生成回路2107に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路2105を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。なお、CPU2106は、

むしろこれ以外の目的の作業にも関わるものであっても良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。

【0212】あるいは、前述したように入出力インターフェース回路2105を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協同して行っても良い。

【0213】また、入力部2114は、前記CPU2106に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスのほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いる事が可能である。

【0214】また、デコーダ2104は、前記2107ないし2113より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。なお、同図中に点線で示すように、デコーダ2104は内部に画像メモリを備えるのが望ましい。これは、例えばMUSE方式をはじめとして、逆変換するに際して画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画の表示が容易になる、あるいは前記画像生成回路2107およびCPU2106と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0215】また、マルチプレクサ2103は、前記CPU2106より入力される制御信号に基づき表示画像を適宜選択するものである。すなわち、マルチプレクサ2103はデコーダ2104から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路2101に出力する。その場合には、一画面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0216】また、ディスプレイパネルコントローラ2102は、前記CPU2106より入力される制御信号に基づき駆動回路2101の動作を制御するための回路である。

【0217】まず、ディスプレイパネルの基本的な動作にかかわるものとして、例えばディスプレイパネルの駆動用電源(図示せず)の動作シーケンスを制御するための信号を駆動回路2101に対して出力する。

【0218】また、ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法(例えばインターレースかノンインターレースか)を制御するための信号を駆動回路2101に対して出力する。

【0219】また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に

関わる制御信号を駆動回路2101に対して出力する場合もある。

【0220】また、駆動回路2101は、ディスプレイパネル2100に印加する駆動信号を発生するための回路であり、前記マルチプレクサ2103から入力される画像信号と、前記ディスプレイパネルコントローラ2102より入力される制御信号に基づいて動作するものである。

【0221】以上、各部の機能を説明したが、図19に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル2100に表示する事が可能である。

【0222】すなわち、テレビジョン放送をはじめとする各種の画像信号はデコーダ2104において逆変換された後、マルチプレクサ2103において適宜選択され、駆動回路2101に入力される。一方、ディスプレイコントローラ2102は、表示する画像信号に応じて駆動回路2101の動作を制御するための制御信号を発生する。駆動回路2101は、上記画像信号と制御信号に基づいてディスプレイパネル2100に駆動信号を印加する。

【0223】これにより、ディスプレイパネル2100において画像が表示される。これらの一連の動作は、CPU2106により統括的に制御される。

【0224】また、本表示装置においては、前記デコーダ2104に内蔵する画像メモリや、画像生成回路2107およびCPU2106が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行う事も可能である。また、本実施形態の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行うための専用回路を設けても良い。

【0225】したがって、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像および動画を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備える事が可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0226】なお、上記図19は、表面伝導型放出素子を電子ビーム源とするディスプレイパネルを用いた表示装置の構成の一例を示したにすぎず、これのみに限定されるものではない事は言うまでもない。例えば、図19の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。例えば、本表示装置をテレビ電話機として応用する場合に

は、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【0227】本表示装置においては、とりわけ表面伝導型放出素子を電子ビーム源とするディスプレイパネルが容易に薄形化できるため、表示装置全体の奥行きを小さくすることが可能である。それに加えて、表面伝導型放出素子を電子ビーム源とするディスプレイパネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感あふれ迫力に富んだ画像を視認性良く表示する事が可能である。

【0228】

【発明の効果】以上説明した本発明によれば、複数の電子放出素子を備える電子源の放出電流 I_e の増大を図ることができ、又、該 I_e の増大の為の処理を短時間に行なうことができる。更には、該複数の電子放出素子間での放出電流特性を均一にすることが可能である。又、該電子源を用いた画像形成装置の輝度の向上と輝度分布の低減を可能とし、よって、高品位は画像形成装置を実現することができる。

【0229】

【図面の簡単な説明】

【図1】本発明に係る一実施形態におけるマルチ表面伝導型電子放出素子の活性化装置構成を示すブロック図である。

【図2】本実施形態におけるライン選択部の詳細構成を示す図である。

【図3】本実施形態におけるライン切り替えのタイミングを説明するための図である。

【図4】本発明に係る第2実施形態におけるマルチ表面伝導型電子放出素子の活性化装置構成を示すブロック図である。

【図5】第2実施形態におけるライン切り替えのタイミングを説明するための図である。

【図6】本発明に係る第3実施形態におけるマルチ表面伝導型電子放出素子の活性化装置構成を示すブロック図である。

【図7】第3実施形態におけるライン切り替えのタイミングを説明するための図である。

【図8】本発明の実施形態に用いた表示パネルの斜視図である。

【図9】図8の表示パネルのフェースプレート上の蛍光体、黒色導電材の配置形態を説明する図である。

【図10】平面型の表面伝導型放出素子の構成を説明するための平面図(a)および断面図(b)である。

【図11】図10の表面伝導型放出素子の製造工程を説明する図である。

【図12】フォーミング用電源1110から印加する適宜の電圧波形の一例を示す図である。

【図13】表面伝導型放出素子に対する活性化処理を説明する図である。

【図14】垂直型の表面伝導型放出素子の模式的な断面図である。

【図15】図14に示した垂直型の表面伝導型放出素子の製造過程を説明する図である。

【図16】表示装置に用いた素子の、(放出電流 I_e) 対(素子印加電圧 V_f) 特性、および(素子電流 I_f) 対(素子印加電圧 V_f) 特性の典型的な例を示す図である。

【図17】図8の表示パネルに適用したマルチ電子源を表す図である。

【図18】図17のマルチ電子源におけるA-A'断面を表す図である。

【図19】第4実施形態における活性化処理を行うための電気回路の概略構成を示したブロック図である。

【図20】電子源10の全マトリクス中の12×6マトリクスを抽出した図である。

【図21】第4の実施形態において第1の活性化工程を終了した時点における、行内の電子放出量の分布を表す図である。

【図22】第2活性化工程を実行後の列方向の素子における放出電流のばらつきを表す図である。

【図23】第4の実施形態における活性化手順を表すフローチャートである。

【図24】第5の実施形態における活性化処理を行なうための電気回路の概略構成を示したブロック図である。

【図25】列方向における各素子からの放出電流のばらつきを表す図である。

【図26】本実施形態の電子源を適用した多機能表示装置の一例を示す図である。

【図27】従来の表面伝導型電子放出素子における活性化時のパルス電圧波形を示す図である。

【図28】従来の表面伝導型電子放出素子における活性化時の素子電流 I_f 、放出電流 I_e の時間変化を示す図である。

【図29】従来の単純マトリクス配線をなす表面伝導型電子放出素子を活性化する際の等価回路図である。

【図30】従来の梯子型配線をなす表面伝導型電子放出素子を活性化する際の等価回路図である。

【図31】従来の電子源を示す図である。

【図32】選択駆動しているライン上の素子のみを用いた等価回路を表す図である。

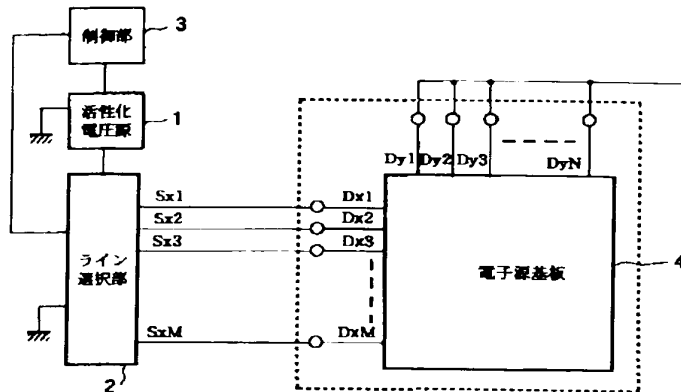
【図33】通電活性化処理における各素子への印加電圧のばらつきを表す図である。

【図34】M. Hartwell らによる素子の平面図を示す図である。

【符号の説明】

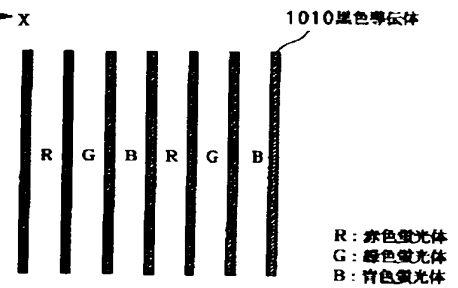
- 1 活性化電源
- 2 ライン選択部
- 3 制御部
- 4 電子源基板

【図1】

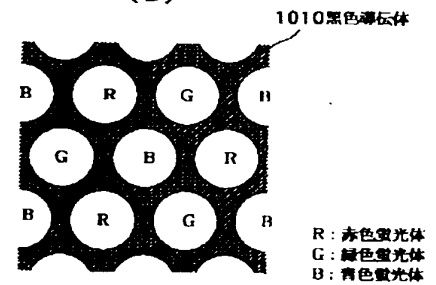


【図9】

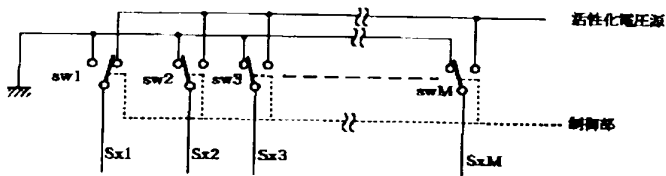
(a)



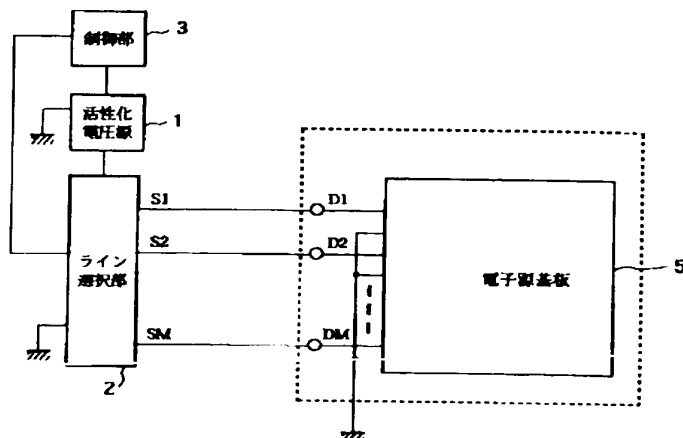
(b)



【図2】

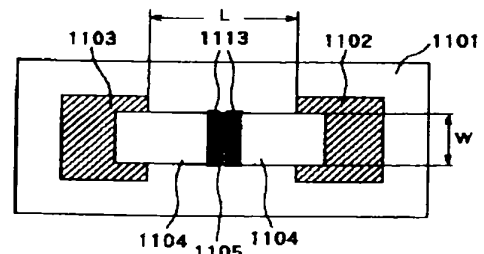


【図4】

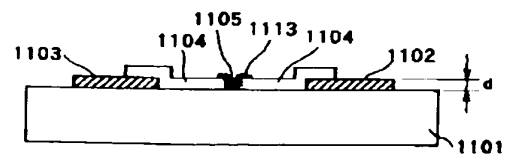


【図10】

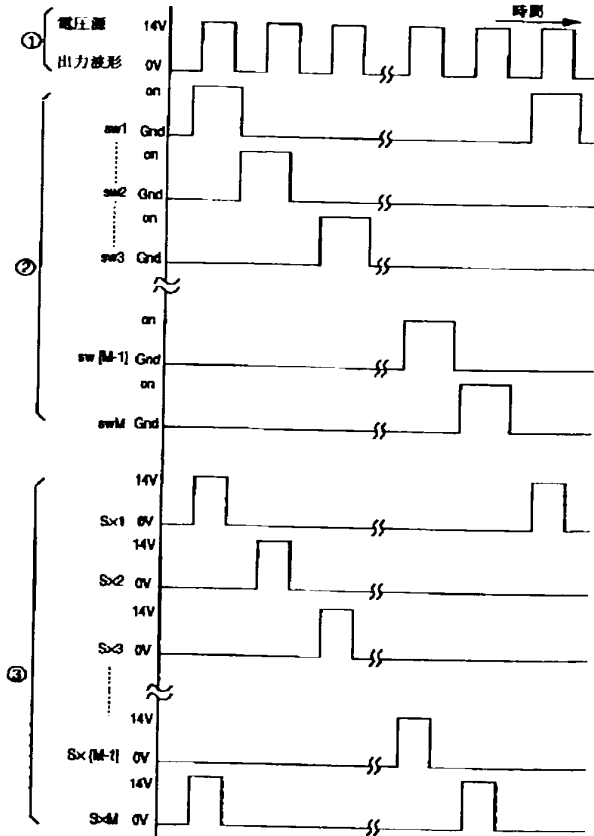
(a)



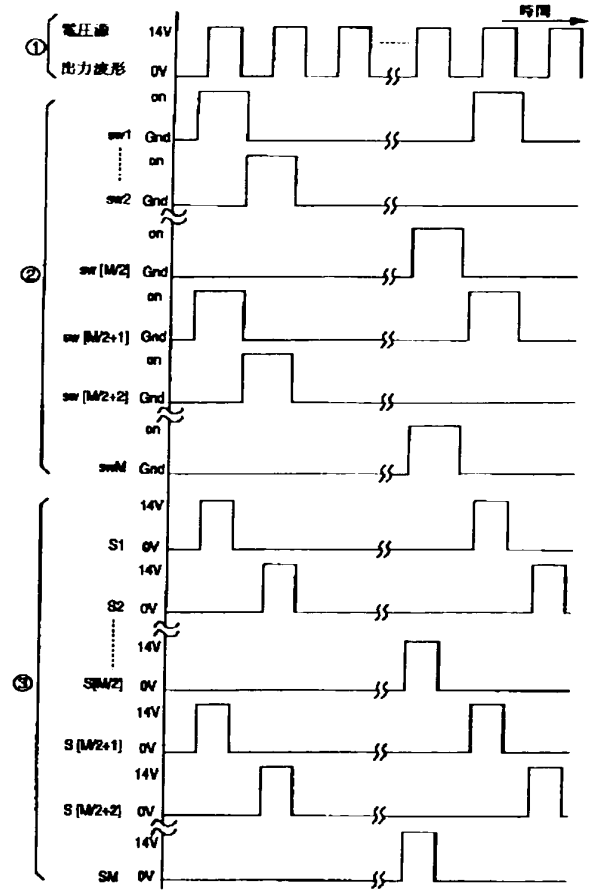
(b)



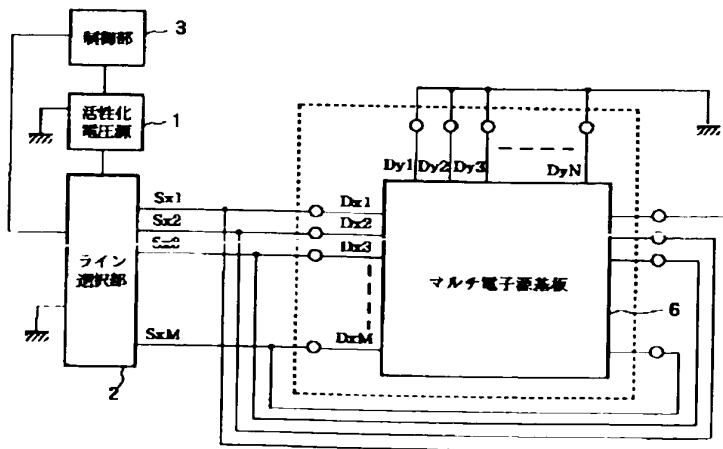
【図3】



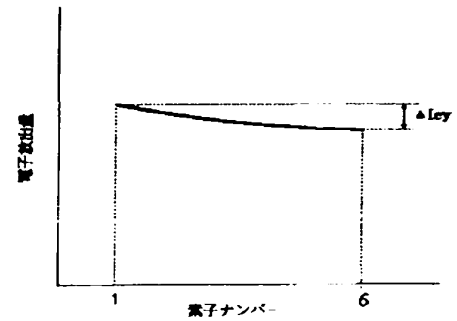
【図5】



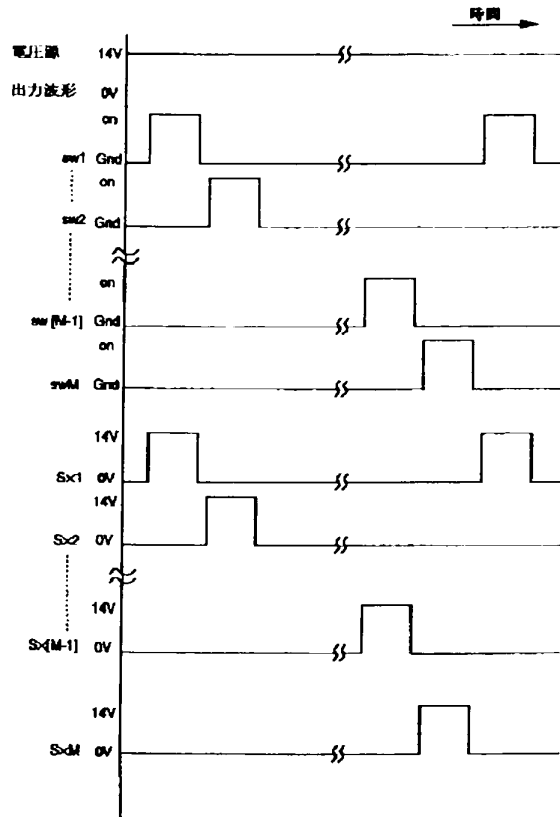
【図6】



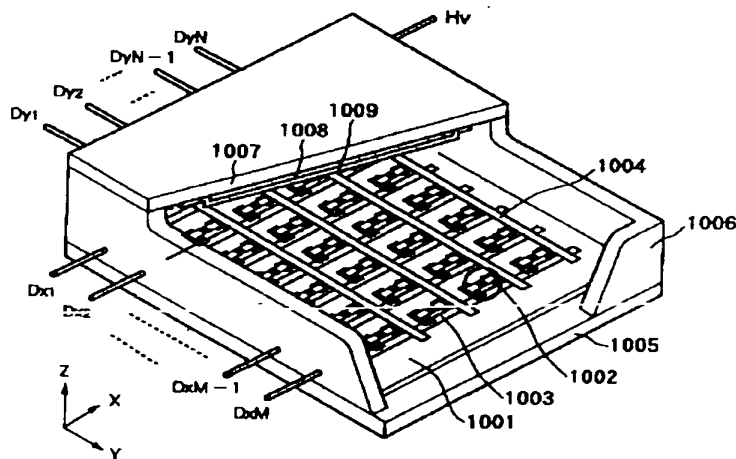
【図22】



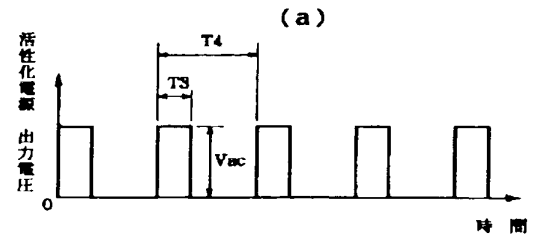
【図7】



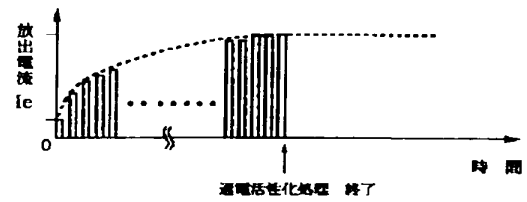
【図8】



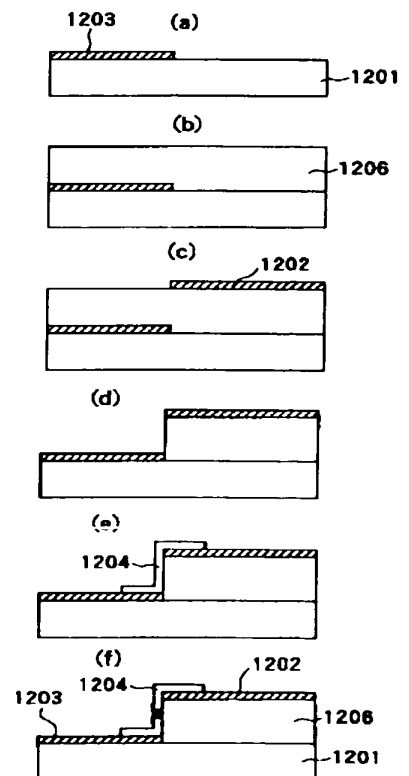
【図13】



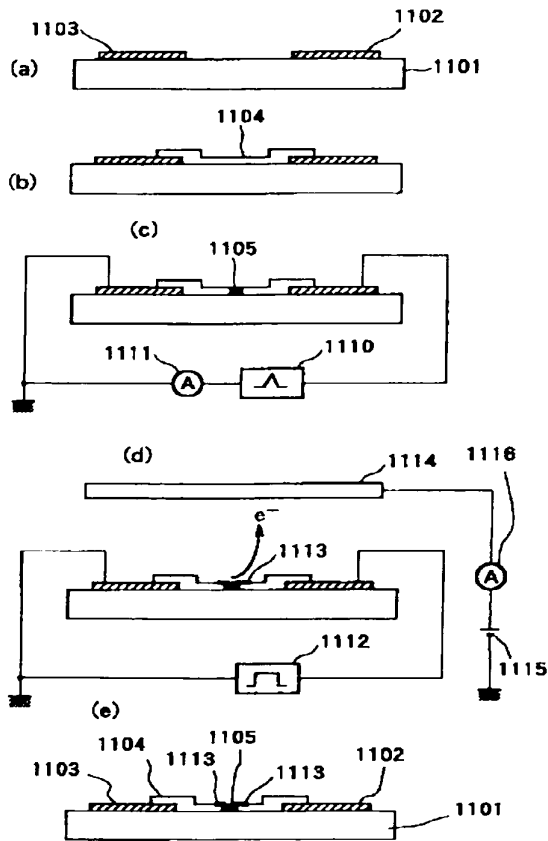
(b)



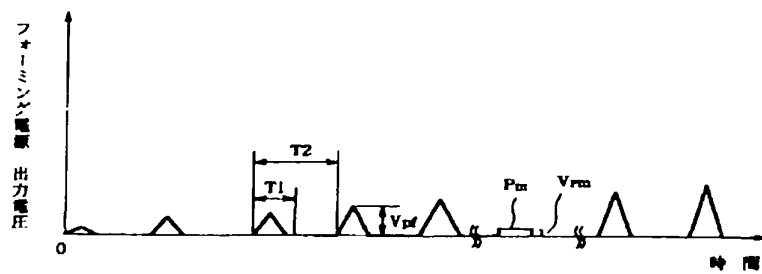
【図15】



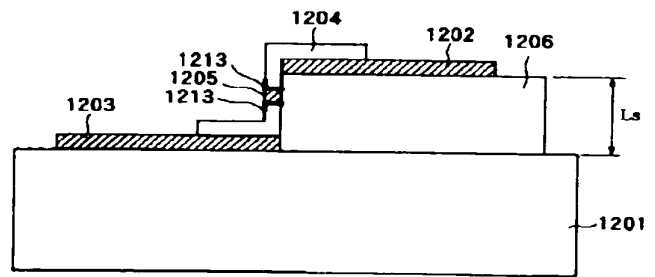
【図11】



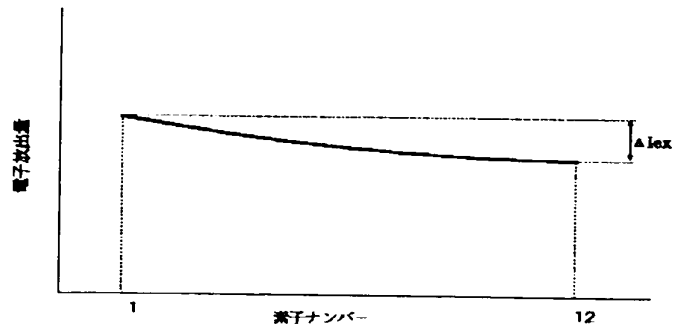
【図12】



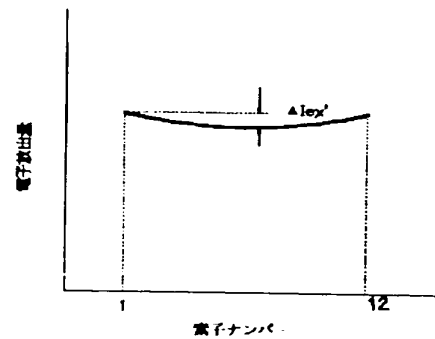
【図14】



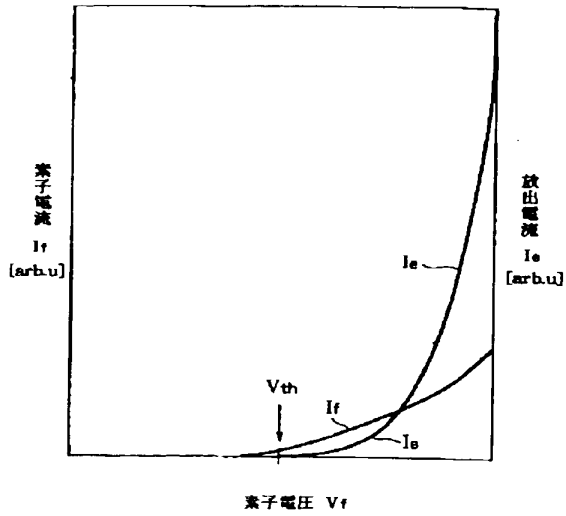
【図21】



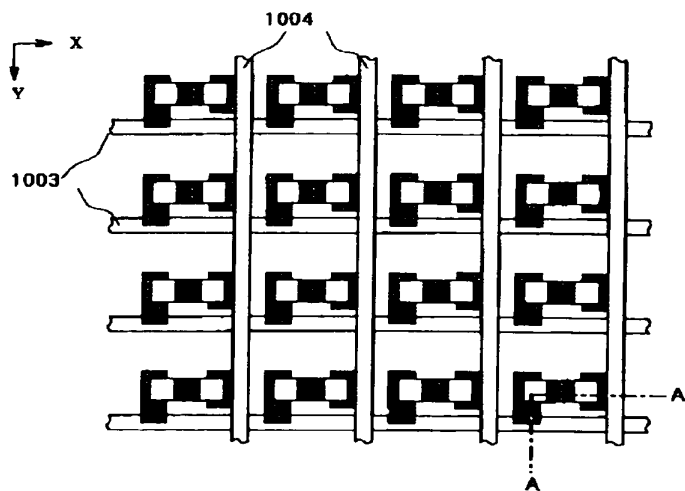
【図25】



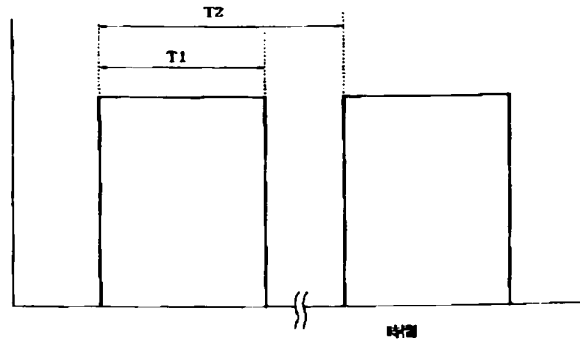
【図16】



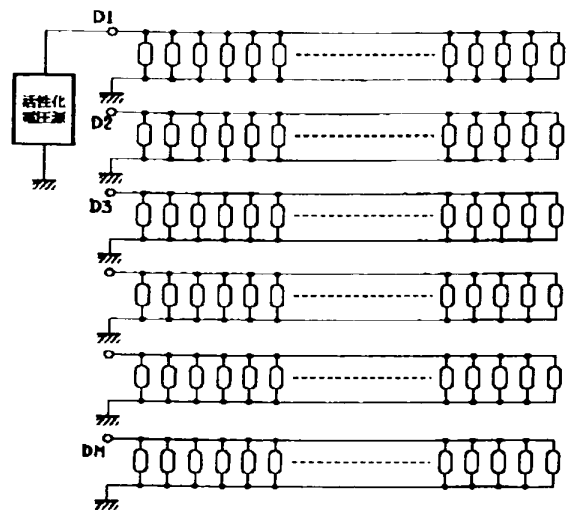
【図17】



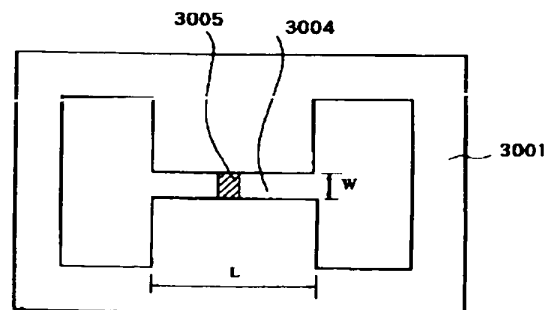
【図27】



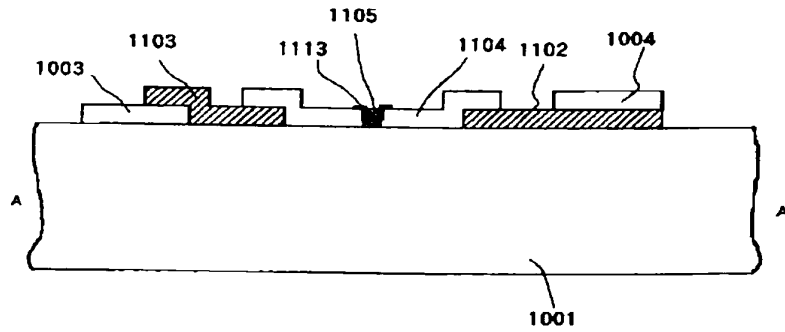
【図30】



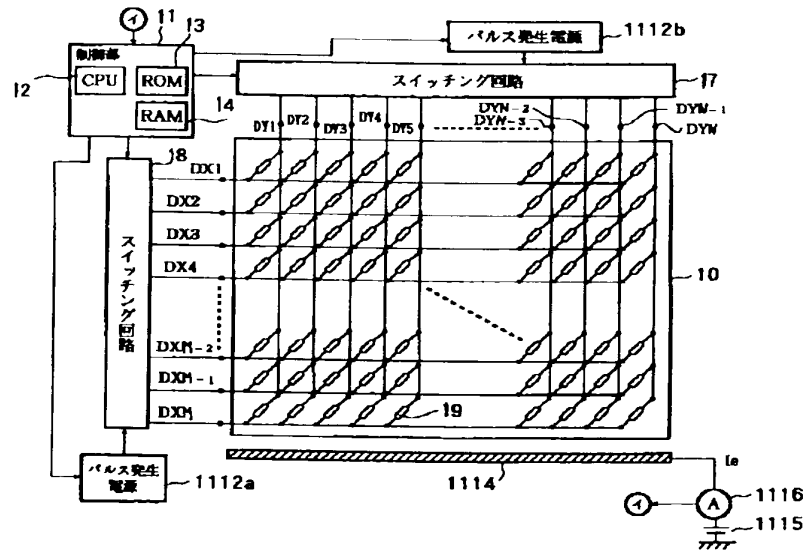
【図34】



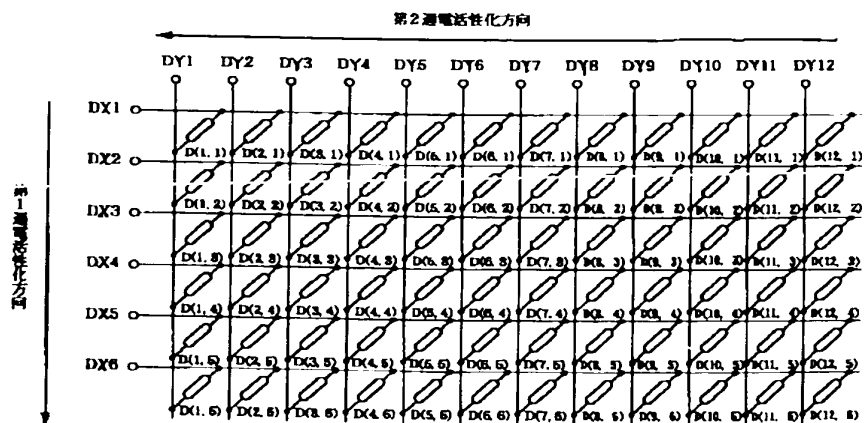
【図18】



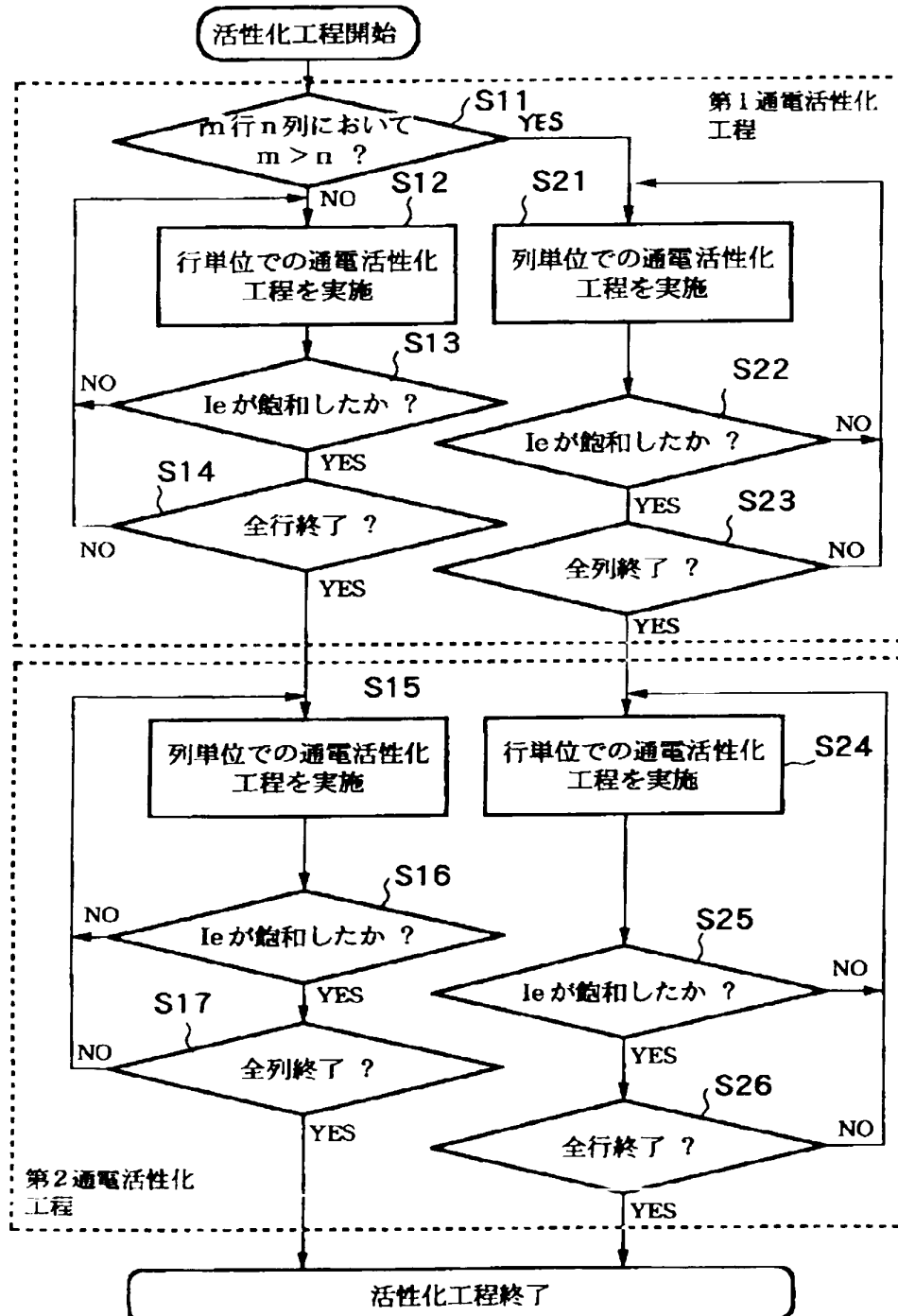
【図19】



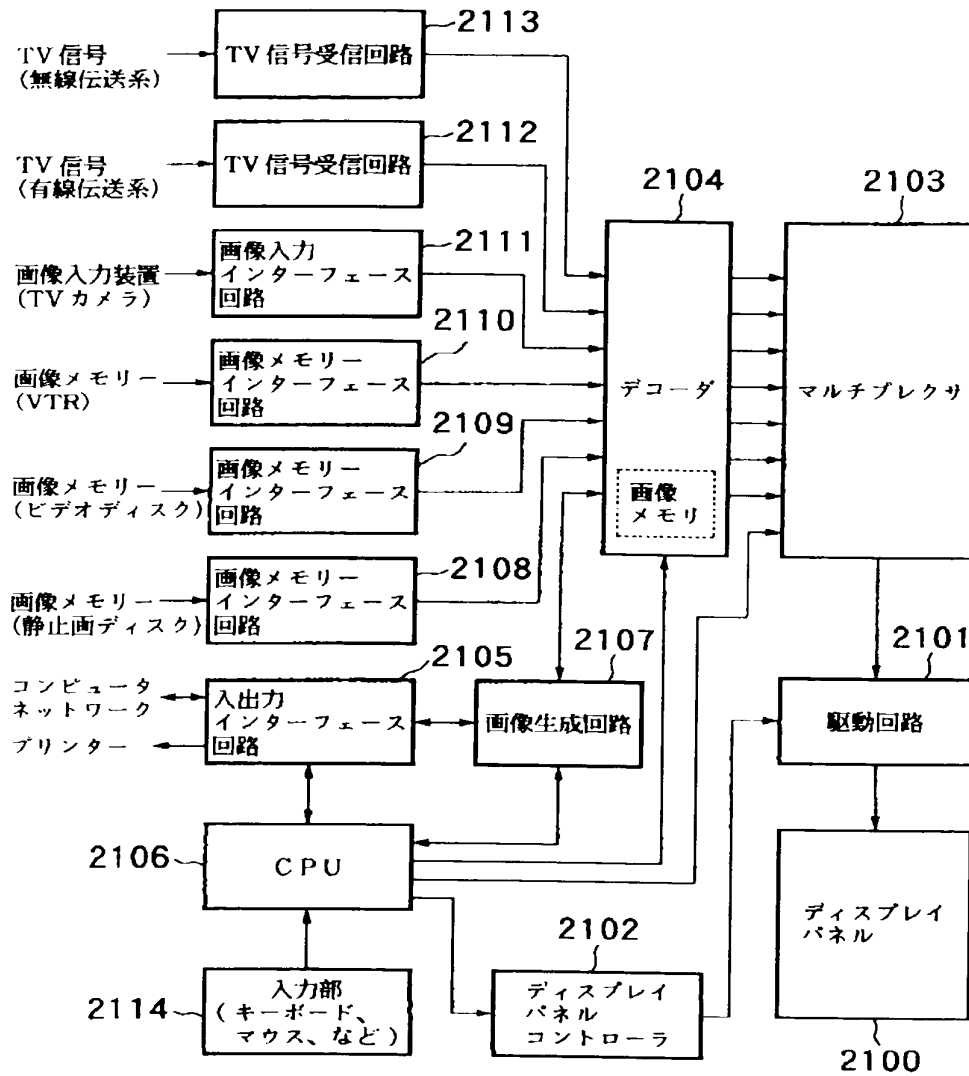
【図20】



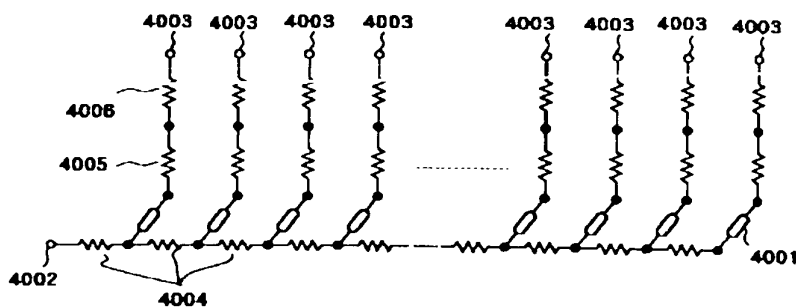
【図23】



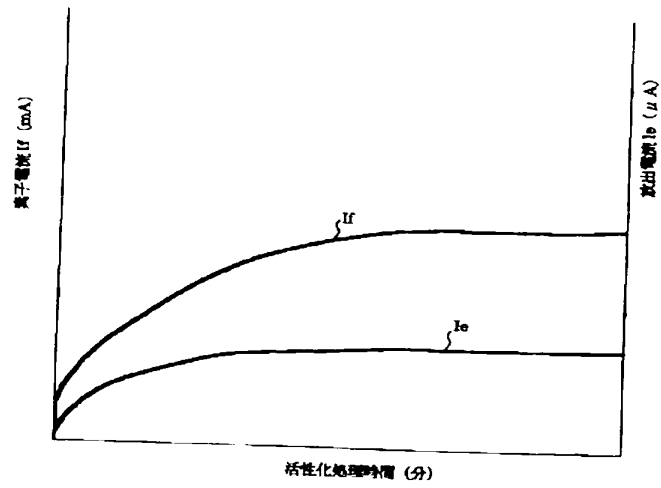
【図26】



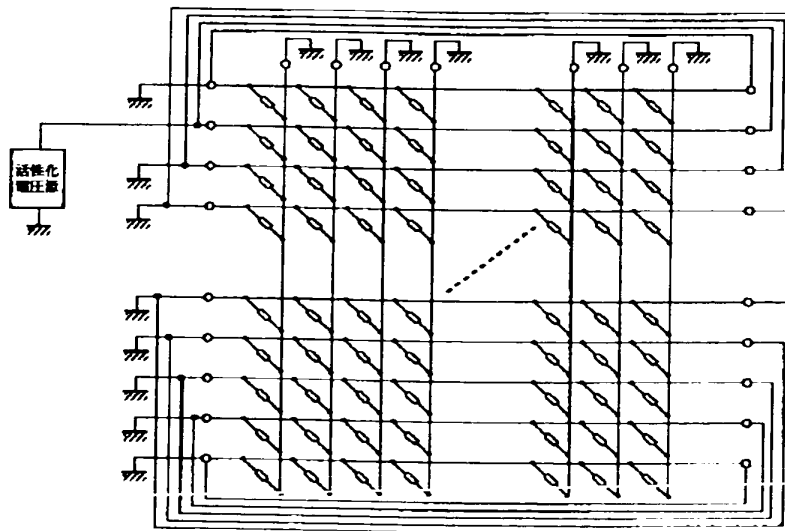
【図32】



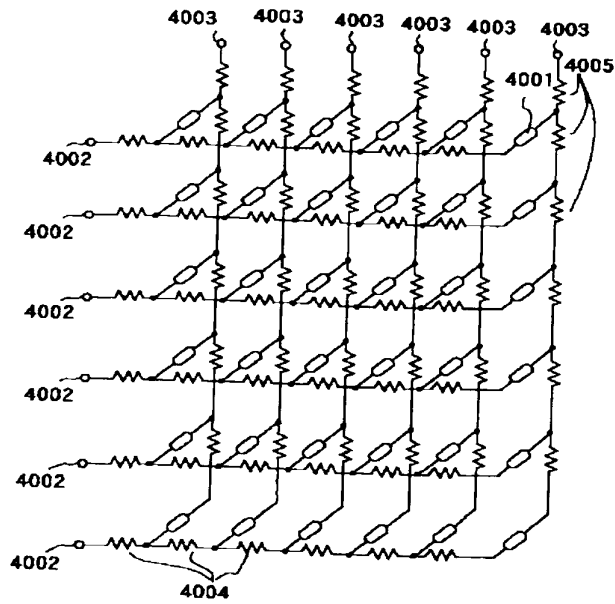
【図28】



【図29】



【図31】



【図33】

